



(12) 发明专利申请

(10) 申请公布号 CN 102497522 A

(43) 申请公布日 2012.06.13

(21) 申请号 201110412186.8

(22) 申请日 2011.12.12

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 梁敏华 曹永刚 崔明

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 陶尊新

(51) Int. Cl.

H04N 5/77(2006.01)

G06T 5/00(2006.01)

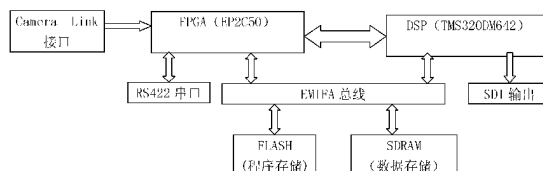
权利要求书 1 页 说明书 3 页 附图 1 页

(54) 发明名称

一种智能 Camera Link 转 SDI 装置

(57) 摘要

一种智能 Camera Link 转 SDI 装置, 涉及图像处理技术领域, 它解决现有基于 Camera Link 接口的各种相机无法直接在监视器上显示的问题, 同时存在显示的图像质量差问题, 该装置包括 FPGA、DSP 处理器、SDRAM 存储器和 SDI 模块, Camera Link 接口接收相机输出的图像数据传送至 FPGA, 所述 FPGA 对接收的图像数据进行去噪处理后传送至 DSP 处理器, 所述 DSP 处理器通过 VP 口接收图像数据, 并通过 EDMA 方式传送至 SDRAM 中存储, 所述 DSP 通过 EMIF 总线方式读取 SDRAM 中的图像数据并进行处理; DSP 处理器将处理后的图像数据传送至 SDI 模块。使用和携带极其方便。



1. 一种智能 Camera Link 转 SDI 装置,该装置包括 FPGA、DSP 处理器、SDRAM 存储器和 SDI 模块,其特征是,Camera Link 接口接收相机输出的图像数据传送至 FPGA,所述 FPGA 对接收的图像数据进行去噪处理后传送至 DSP 处理器,所述 DSP 处理器通过 VP 口接收图像数据,并通过 EDMA 方式传送至 SDRAM 中存储,所述 DSP 通过 EMIF 总线方式读取 SDRAM 中的图像数据并进行智能化处理 ;DSP 处理器将处理后的图像数据传送至 SDI 模块。

2. 根据权利要求 1 所述的一种智能 Camera Link 转 SDI 装置,其特征在于,所述 DSP 处理器对图像数据进行智能化处理主要包括图像的灰度拉伸和伪彩色处理。

3. 根据权利要求 1 所述的一种智能 Camera Link 转 SDI 装置,其特征在于,该装置还包括 RS422 串口,所述 RS422 串口接收外部的信息或命令,将接收的信息实时叠加到 FPGA 接收的图像数据上,同时将图像的特征信息和外部的信息通过 RS422 串口发送。

一种智能 Camera Link 转 SDI 装置

技术领域

[0001] 本发明涉及图像处理技术领域。

背景技术

[0002] 目前基于 Camera Link 接口的各种相机都不能直接在监视器上进行显示,只能通过专用采集卡连接到系统机上,在系统机的监视器上显示,系统比较庞大,使用不方便;或者通过自行研制的专用采集显示接口显示,通用性比较差。目前,试验靶场服役的光电测控设备中有很多传感器都使用的是 Camera Link 数字接口。由于此接口不能够直接显示,实时送出供观测的只能是经过转换的模拟图像,数字图像在转换为模拟图像时图像质量必然会造成损失,这样会给实时观测与判断带来一定的影响,如何实现数字图像的无损传输与显示就显得很重要。同时由于受到相机的灵敏度、拍摄环境以及目标特性的影响,图像质量往往不能满足视觉要求,因此提高图像的视觉质量也是亟待解决的问题。

发明内容

[0003] 本发明为解决现有基于 Camera Link 接口的各种相机无法直接在监视器上显示的问题,同时存在显示的图像质量差问题,提供一种智能 Camera Link 转 SDI 装置。

[0004] 一种智能 Camera Link 转 SDI 装置,该装置包括 FPGA、DSP 处理器、SDRAM 存储器和 SDI 模块, Camera Link 接口接收相机输出的图像数据传送至 FPGA,所述 FPGA 对接收的图像数据进行去噪处理后传送至 DSP 处理器,所述 DSP 处理器通过 VP 口接收图像数据,并通过 EDMA 方式传送至 SDRAM 中存储,所述 DSP 通过 EMIF 总线方式读取 SDRAM 中的图像数据并进行智能化处理;DSP 处理器将处理后的图像数据传送至 SDI 模块。

[0005] 本发明的有益效果:一、本发明所述的装置实现了数字图像的无损传输与显示;二、处理后的图像可以在具备 SDI 接口的监视器上直接显示;三、输出的 SDI 图像能够叠加外部输入信息,显示内容更加丰富,满足了更多的使用范围;四、在将 Camera Link 转换成 SDI 的同时,能够依据图像的质量以及外部命令对图像进行滤波、灰度拉伸、伪彩等有针对性、可选择的智能处理,使图像质量最大程度地满足人的视觉要求;五、通过鼠标、计算机等具有 RS422 接口的设备进行人机交互,实现对本装置的智能控制;六、本发明所述的装置的体积仅为 120mm×150mm×15mm,使用和携带极其方便。

附图说明

[0006] 图 1 为本发明所述的一种智能 Camera Link 转 SDI 装置的结构示意图;

[0007] 图 2 为本发明所述的一种智能 Camera Link 转 SDI 装置的软件流程图。

具体实施方式

[0008] 结合图 1 和图 2 说明本实施方式,一种智能 Camera Link 转 SDI 装置,该装置通过 Camera Link 接口接收相机输出的图像数据,送入到 FPGA,经过去噪处理后送入到 DM642 的

VP 口, DSP 处理器采用 EDMA 方式将图像数据存储到 SDRAM 中,在此可以依据外部命令或者图像的质量对图像数据进行灰度拉伸、伪彩色处理等一系列智能图像增强处理,之后经过 SDI 模块输出单元处理后,以 SDI 串行数字接口输出。

[0009] 本实施方式的软件流程为:一、图像采集:Camera Link 通道将相机图像采集到 DSP 处理板的 SDRAM 中;二、去噪滤波:不同环境下采集到的相机图像可能受到各种复杂噪声的干扰,为了更好的分析图像真实的灰度级分布情况,本发明采用改进的中值滤波方法去除噪声;三、智能图像增强处理:通过鼠标、计算机等具有 RS422 接口的设备进行人机交互,实现对本装置的智能控制;本装置可以依据外部命令或者图像质量自适应进行图像拉伸,伪彩色等图像增强处理,最大程度满足人的视觉要求;四、视频格式转换:通过视频格式转换单元完成图像的 SDI 接口输出本实施方式所述的 FPGA 的型号为 EP2C50, DSP 处理器采用 TMS320DM642。

[0010] 本实施方式中 FPGA 对图像数据进行去噪处理主要采用改进的中值滤波方法:传统的 3*3 中值滤波是采用像素本身及其八邻域进行排序,采用该九个像素的中值取代原像素。此方法不仅容易降低边缘的对比度,而且容易将小目标当做噪声滤掉。改进后的 3*3 中值滤波是将原像素 $g(x, y)$ 和中值 med 作对比,当 $((g(x, y) - med) / med)$ 大于预先设定的阈值时,采用中值取代原像素,否则仍然用原像素值。

[0011] 本实施方式所述的 FPGA 和 DSP 处理器采用 EMIFA 总线传输。

[0012] 本实施方式中还包括 RS422 串口,所述 RS422 串口接收外部的信息或命令,把接收的信息实时叠加到 FPGA 接收的图像数据上,同时将图像的特征信息和外部的信息通过 RS422 串口发送。

[0013] 本实施方式所述的 DSP 处理器对图像数据进行处理主要包括图像的灰度拉伸和伪彩色处理;灰度拉伸算法采用自适应分段线性拉伸算法;DSP 通过对图像数据进行分析得到如下图像的特征信息:最大(最小)灰度值、背景和目标的分割阈值,目标位置(大小)以及所应用的其他特征。依据上述特征 DSP 自动判定是否需要采用拉伸算法,当需要采用拉伸算法时, DSP 会自动调整线性拉伸的分段点,使显示图像的对比度、信噪比达到最佳。

[0014] 伪彩色处理采用传统的灰度-彩色对应方式:

$$[0015] \begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} 1.164 & 0.000 & 1.596 \\ 1.164 & -0.392 & -0.813 \\ 1.164 & -2.017 & 0.000 \end{bmatrix} \begin{bmatrix} Y - 0.063 \\ Cb - 0.500 \\ Cr - 0.500 \end{bmatrix}$$

[0016] 本实施方式的硬件设计为:

[0017] 一、Camera Link 接口配置:Camera Link 接口传输的是 LVDS 信号, FPGA 只能处理 LVTTTL 信号,为了得到图像视频信号,采用专用芯片 DS90CR288A 实现 LVDS 信号到 LVTTTL 信号的转换。将这 28 位视频信号和像素时钟 (RxCLKOUT) 信号一起送入 FPGA,并在 FPGA 中对视频数据进行中值滤波等处理。

[0018] 二、DSP 处理器:TMS320DM642 是专用于数字媒体应用的高性能 32 位定点 DSP,工作主频最高达 720MHz,处理性能可达 5760MI/s。强大的图像处理能力为实现算法实时性和可靠性提供了保证,硬件核心模块包括 DM642 的配置、JTAG 接口和外部存储器扩展等几部分,即 DM642 最小系统。

[0019] 首先,将 DM642 的 VP1 口配置为相应数据位数的原始数据 (RAW) 视频采集模式,

VP2 口配置为 10 位 BT656 视频显示模式。将 FPGA 处理完后的视频数据在像素时钟 (RxCLK OUT) 信号的作用下送入 DM642 的 VP1 口, DM642 启动 EDMA 将数据从 VP1 口的 FIFO 缓存搬运到 SDRAM 中。

[0020] 三、视频格式转换单元 :由并行的 BT656 数据格式转换为串行的 SDI 数据格式是采用美国 NS(National Semiconductor) 公司的 CLC021 芯片实现。DM642 的 VP2 口在 270M 时钟的作用下从 SDRAM 中读取视频数据送入 CLC021。从而,完成了将 RAW 格式的视频数据转换为 BT656 数据格式。

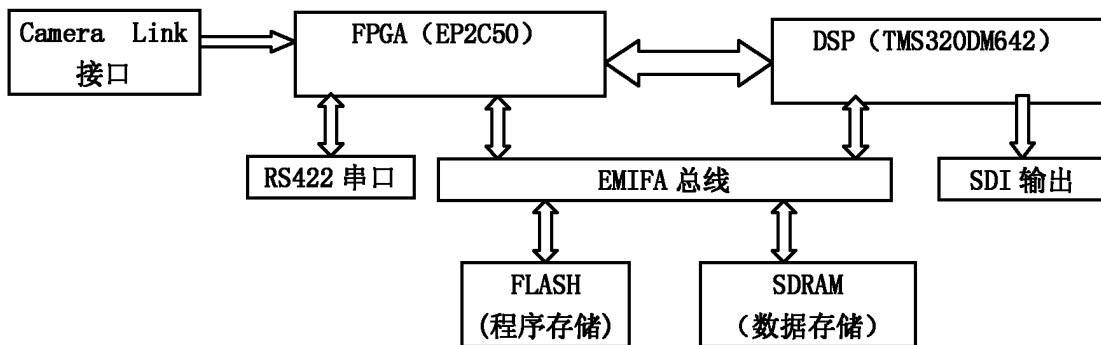


图 1

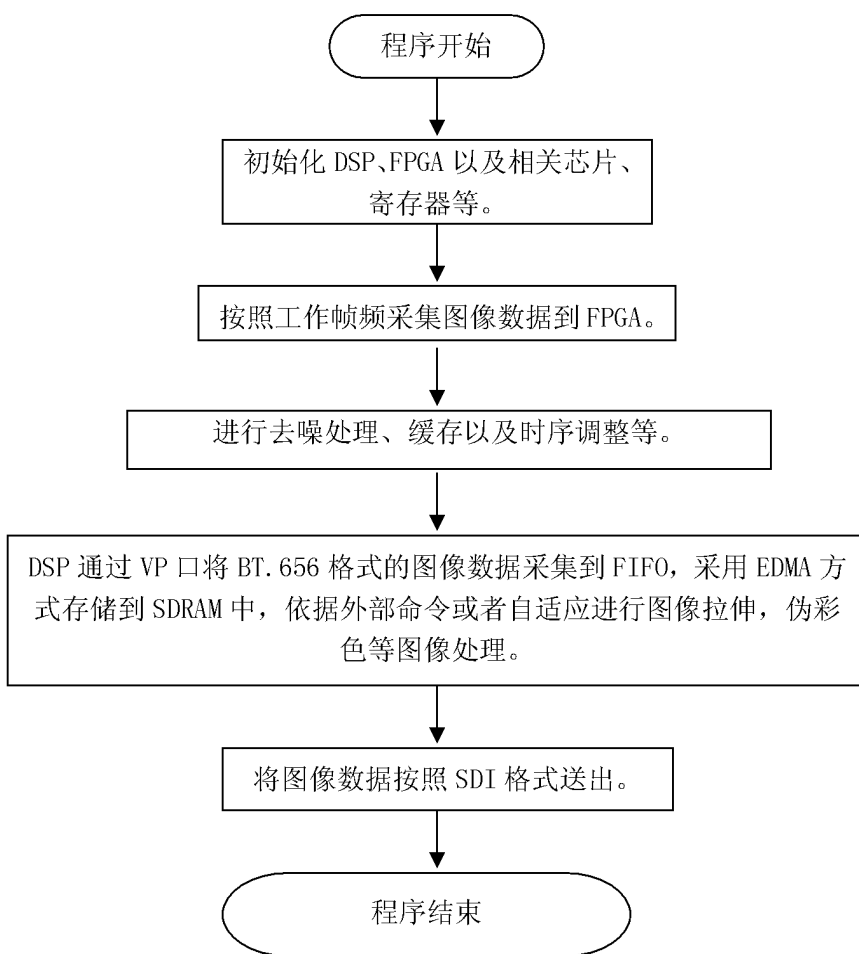


图 2