



# (12) 发明专利申请

(10) 申请公布号 CN 102253864 A

(43) 申请公布日 2011. 11. 23

(21) 申请号 201110157957. 3

(22) 申请日 2011. 06. 14

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 王文华 金龙旭 李国宁 张宇 吕增明

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 王淑秋

(51) Int. Cl.

G06F 11/07(2006. 01)

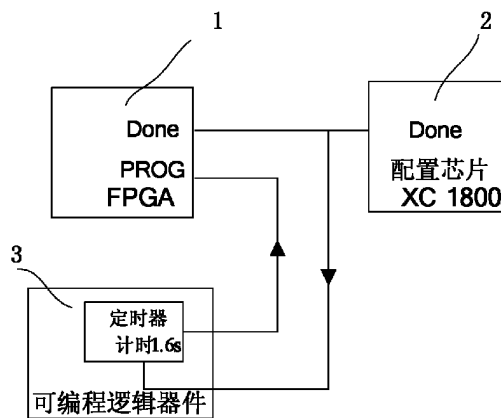
权利要求书 1 页 说明书 3 页 附图 3 页

## (54) 发明名称

FPGA 芯片加电启动容错装置

## (57) 摘要

本发明涉及一种 FPGA 芯片加电启动容错装置,该装置 FPGA 芯片的 Done 引脚和 PROG 引脚与可编程逻辑器件内部定时器连接,若 Done 信号为低电平,则定时器按设定的时间间隔发出低电平脉冲给 FPGA 的 PROG 引脚,使 FPGA 重新启动;若监测到 Done 信号为高电平,则定时器停止计时,将 PROG 信号置为高电平。本发明利用可编程逻辑器件或看门狗芯片对 FPGA 芯片的启动完成标志状态进行监控,当 FPGA 芯片加电启动失败时,在断电的情况下重新发起读取程序的启动过程,直到启动成功,在无人干预的情况下将潜在的风险消除,提高了遥感相机 CCD 成像系统的可靠性。



1. 一种 FPGA 芯片加电启动容错装置,其特征在于 FPGA 芯片的 Done 引脚和 PROG 引脚与可编程逻辑器件内部定时器连接,若 Done 信号为低电平,则定时器按设定的时间间隔发出低电平脉冲给 FPGA 芯片的 PROG 引脚,使 FPGA 芯片重新启动;若监测到 Done 信号为高电平,则定时器停止计时,将 PROG 信号置为高电平。

2. 一种 FPGA 芯片加电启动容错装置,其特征在于 FPGA 芯片的 I/O 口和 PROG 引脚分别与看门狗芯片的 WDI 和 RESET 引脚连接,看门狗芯片的手动复位引脚与 WDO 引脚相连;FPGA 芯片加电启动成功后,该 I/O 引脚输出周期信号,作为喂狗信号提供给看门狗芯片的 WDI 引脚,RESET 端保持高电平;当 FPGA 芯片启动失败时,看门狗芯片的 RESET 引脚每隔 1.6s 发出重新启动信号提供给 FPGA 芯片的 PROG 引脚,直到 FPGA 芯片重新启动成功。

## FPGA 芯片加电启动容错装置

### 技术领域

[0001] 本发明属于空间遥感容错设计领域,涉及一种遥感相机的 CCD 成像系统,特别涉及一种 CCD 成像信号处理芯片 FPGA 芯片加电启动容错装置。

### 背景技术

[0002] 现场可编程门阵列 (Field Programmable Gate Array, 以下称 FPGA) 以其高度的灵活性以及丰富的 I/O 资源与内嵌模块等优势,不仅在民用领域发展迅速,在航天领域应用也越来越广泛。FPGA 的生产工艺主要有 SRAM 结构、反熔丝结构以及 Flash 结构,目前大部分 FPGA 产品都是基于 SRAM 工艺来实现的,由于掉电后 SRAM 会失去所有配置,因此基于 SRAM 的 FPGA 必须配备一个存储芯片 (如 PROM 等),用以存放 FPGA 的编程数据,每次加电都需要重新从配置芯片中读取数据。这种方式引入了不稳定的因素,程序数据的加载过程容易受到外界干扰而导致芯片启动失败。

[0003] 在民用领域,偶尔的启动失败可以通过人工重新加电即可解决。然而在航天应用领域,对可靠性上要求非常苛刻,尤其是常常作为主处理器的 FPGA 器件,对类似的加电启动失败绝对不能容许。

[0004] 以 Xilinx 公司的 XC1800 系列 PROM 在主串模式下的配置原理为例说明 FPGA 的加电启动过程。电路原理如图 1 所示,首先在加电状态下,PC 机通过 JTAG 口向配置链上的 PROM 注入程序数据,以待再次加电时,FPGA 能够主动发起配置过程,读取 PROM 中的程序数据并完成加电启动。

[0005] FPGA 加电后的主动配置过程,如图 2 所示,可分为三个步骤:

[0006] 1. FPGA 监测到 VCC 电压达到一定数值后, PROG\_B 信号自动进行配置初始化,之后由 INIT 信号 (低电平有效) 清空 FPGA 配置内存;

[0007] 2. FPGA 通过 CCLK 引脚发送时钟给 PROM,该配置时钟驱动 PROM 的地址计数器并读出数据,送到 FPGA 的 DIN 引脚;

[0008] 3. FPGA 在读取数据的同时,对接收到的数据进行 CRC 校验,数据加载完成后,若校验正确,则由 FPGA 启动进程加载逻辑;若校验错误,则将 INIT 信号拉低报错。

[0009] 其中第一步和第三步是由 FPGA 厂商固化在芯片中的程序决定的,用户无法干预该过程,只能检测第二步中配置时钟与读取数据的情况。在启动失败的情况下,没有任何复位信号来重新发起启动配置过程,INIT 信号报错只会一直为低电平,即 FPGA 不具备自行重新启动功能,只能依靠外部重新加电。

[0010] FPGA 加电启动失败时各相关引脚信号状态的示波器抓图如图 3 所示。代表启动完成状态的 Done 信号一直为低电平,配置时钟 CCLK 信号一直有效,D0 串行数据位后半段出现异常的拉高现象,持续约 800ms 后拉低;PROG 信号一直为高。在这种状态下,芯片不能自检并发起重新启动过程。

[0011] 在航空航天领域,对可靠性要求极高,FPGA 的加电启动结果将直接关系到任务的成败,且不允许在加电配置失败的情况下任意重复加电。若 FPGA 不能保证零失败加电启

动,则必须增加加电启动过程的监控功能,一旦加电启动失败,立即自动重新加载配置程序,在无人干预的情况下将潜在的风险消除。

### 发明内容

[0012] 本发明要解决的技术问题是提供一种能够使 FPGA 在不断电状态下进行重新启动的 FPGA 芯片加电启动容错装置。

[0013] 为了解决上述技术问题,本发明的 FPGA 芯片加电启动容错装置可以采用下述两种技术方案。

[0014] 技术方案一:

[0015] FPGA 芯片的 Done 引脚和 PROG 引脚与可编程逻辑器件内部定时器连接,若 Done 信号为低电平,则定时器按设定的时间间隔发出低电平脉冲给 FPGA 芯片的 PROG 引脚,使 FPGA 芯片重新启动;若监测到 Done 信号为高电平,则定时器停止计时,将 PROG 信号置为高电平。

[0016] 所述可编程逻辑器件采用反熔丝芯片。

[0017] 技术方案二:

[0018] FPGA 芯片的 I/O 口和 PROG 引脚分别与看门狗芯片的 WDI 和 RESET 引脚连接,看门狗芯片的手动复位引脚与 WDO 引脚相连;FPGA 芯片加电启动成功后,该 I/O 引脚输出周期信号,作为喂狗信号提供给看门狗芯片的 WDI 引脚,RESET 端保持高电平;当 FPGA 芯片启动失败时,看门狗芯片的 RESET 引脚每隔 1.6s 发出重启动信号提供给 FPGA 芯片的 PROG 引脚,直到 FPGA 芯片重启动成功。

[0019] 本发明采用被动式 FPGA 芯片加电启动容错方法,所谓被动,是针对 FPGA 芯片的加电主动配置而言。本发明利用可编程逻辑器件或看门狗芯片对 FPGA 芯片的启动完成标志状态(Done 信号或 FPGA 周期信号)进行监控,当 FPGA 芯片加电启动失败时,在不断电的情况下重新发起读取程序的启动过程,直到启动成功,在无人干预的情况下将潜在的风险消除,提高了遥感相机 CCD 成像系统的可靠性。

### 附图说明

[0020] 下面结合附图和具体实施方式对本发明作进一步详细说明。

[0021] 图 1 为 Xilinx 公司的 XC1800 系列 PROM 与 FPGA 主串配置模式原理图。

[0022] 图 2 为 FPGA 加电启动信号时序图。

[0023] 图 3 为 FPGA 加电启动失败时序的示波器采图。

[0024] 图 4 为本发明的 FPGA 芯片加电启动容错装置技术方案一的结构示意图。

[0025] 图 5 为本发明的 FPGA 芯片加电启动容错装置技术方案二的结构示意图。

[0026] 图 6FPGA 芯片重启动试验时序图。

### 具体实施方式

[0027] 本发明提出两种实施方案。

[0028] 第一种方案:利用加电启动可靠性高的可编程逻辑器件来监控 FPGA 芯片的启动配置过程。这种器件在上电后无需外部存储器,直接就可以工作。反熔丝芯片就是最好的选择,这种芯片在一次烧写程序时芯片内部逻辑结构全部固化,上电后不需要程序配置过

程而直接工作。从可靠性角度出发,反熔丝芯片的抗辐射、耐高低温方面都表现出很高的可靠性。如图 4 所示,本发明选用 Actel 公司生产的宇航级反熔丝芯片 A1280A,来监控 FPGA 芯片的 Done 引脚。Actel 芯片内部设计一个定时器,计时周期为 1.6s。FPGA 芯片的 Done 引入到定时器,若 Done 信号为低电平,则定时器每隔 1.6s 发出一个脉宽大于 100ns 的低电平脉冲给 FPGA 芯片的 PROG 引脚,使 FPGA 芯片重新启动;只要定时器监测到 Done 信号为高电平(说明 FPGA 芯片启动成功),则定时器停止计时,PROG 信号置为高电平,使 FPGA 芯片维持在工作状态。一片反熔丝芯片可监控多片 FPGA 芯片的加电启动,只要反熔丝芯片与被监控 FPGA 芯片同时加电即可。

[0029] 另一个方案是:FPGA 芯片加电启动成功后便开始运行程序,若令程序从 I/O 口输出一个周期性时钟信号,则可以利用外部看门狗芯片来实现 FPGA 芯片的启动状态监控。以看门狗芯片 MAX706 为例,将 MR 引脚与 WDO 相连,使其工作在自动监控复位状态。如图 5 所示,FPGA 芯片加电启动成功后,该 I/O 引脚输出一定频率的周期信号(频率大于 1Hz,小于 10MHz),作为 MAX706 芯片的喂狗信号提供给 WDI 引脚,RESET 端将保持高电平,不影响 FPGA 芯片工作;当 FPGA 芯片启动失败时,由于程序没有运行,看门狗芯片没有及时获得喂狗信号,使 RESET 引脚每隔 1.6s 发出重新启动信号提供给 FPGA 芯片的 PROG 引脚,直到 FPGA 芯片重新启动成功。

[0030] 一般而言,FPGA 芯片加电启动过程(从上电瞬间到读完 PROM 配置程序数据)耗时小于 1s。同时加电后,反熔丝芯片等待一段时间(图 6 所示间隔为 3.2s)后检测 Done 引脚状态,若为低电平则发出一个低电平重新启动脉冲,之后等待此次启动结果;若为高电平则不动作。需要注意的是,加电启动的容错设计是辅助性的,不能影响 FPGA 芯片自身的加电启动过程,即只有当 FPGA 芯片首次加电启动失败时,该容错设计才会起作用。

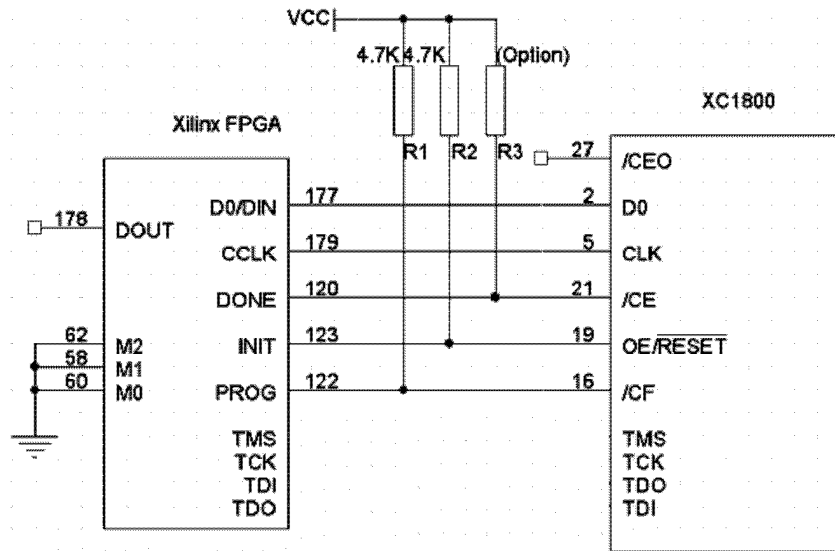


图 1

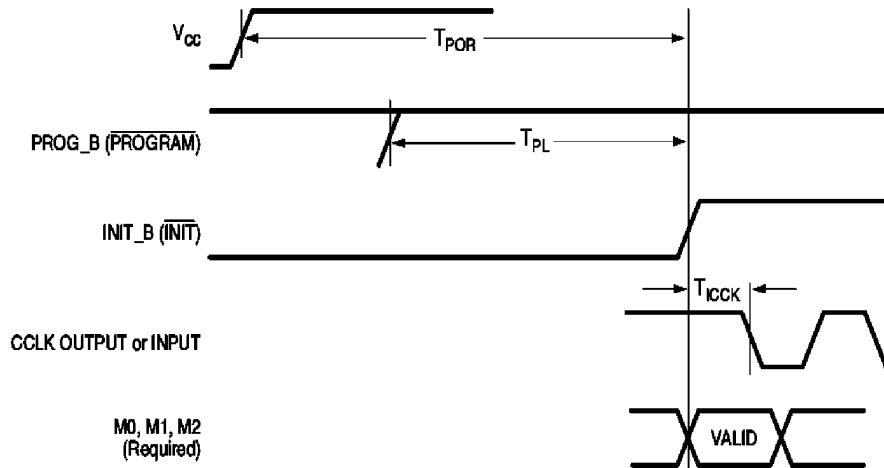


图 2

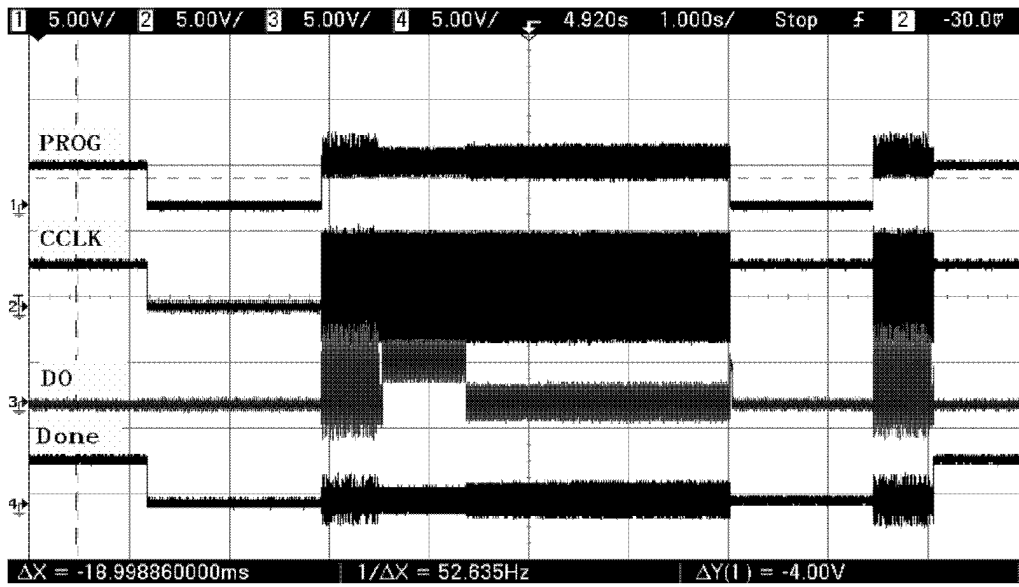


图 3

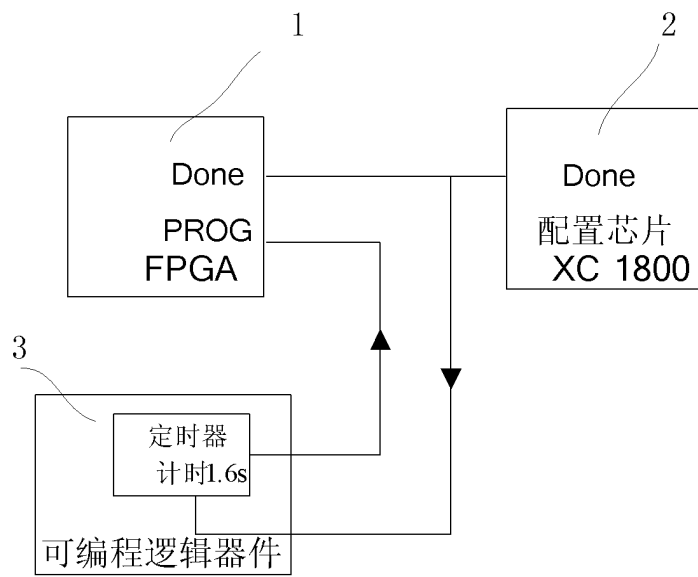


图 4

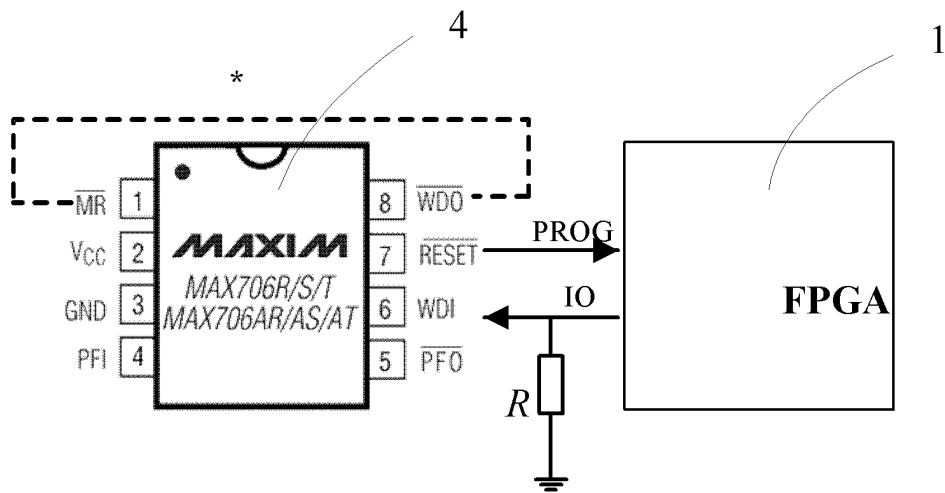


图 5

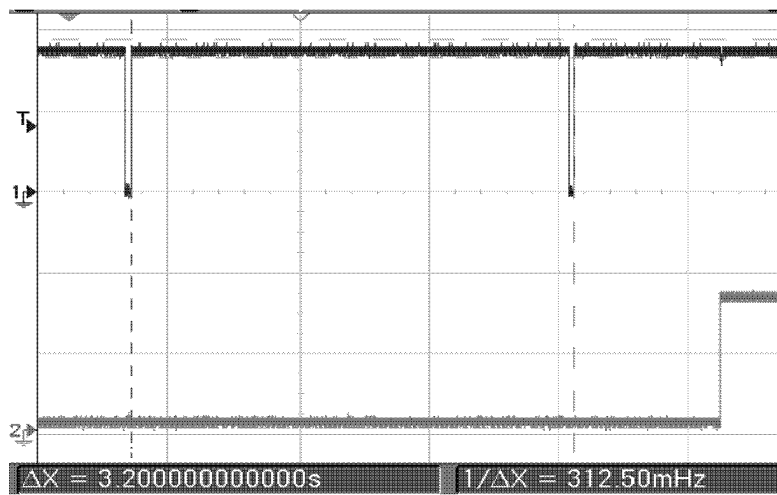


图 6