



# (12) 发明专利申请

(10) 申请公布号 CN 102184084 A

(43) 申请公布日 2011.09.14

(21) 申请号 201110095548.5

(22) 申请日 2011.04.15

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 余达 武星星 王国良 刘金国 郭永飞

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 陶尊新

(51) Int. Cl.

G06F 5/16 (2006.01)

G06T 1/00 (2006.01)

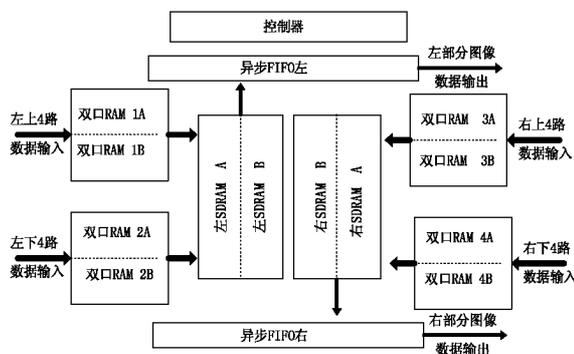
权利要求书 2 页 说明书 5 页 附图 7 页

## (54) 发明名称

高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法

## (57) 摘要

高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法,涉及图像数据合成的方法,它解决了现有 SDRAM 中一行数据的读写操作需由多次突发操作、多次判断是否进行刷新操作并进行存储器激活和预冲操作的问题,其方法为:将 CCD 多抽头输出的图像数据分为四组送入乒乓结构的双口 RAM 中进行数据整合;将左上和左下的乒乓结构的双口 RAM 中的数据写入乒乓结构的左 SDRAM 存储器,将右上和右下的乒乓结构的双口 RAM 中的数据写入乒乓结构的右 SDRAM 存储器;从乒乓结构的左 SDRAM 存储器和右 SDRAM 存储器中读出图像数据,分别送入异步 FIFO 左和异步 FIFO 右后输出图像数据;本发明采用不同的刷新方法;提高了读写操作效率。



1. 高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法,其特征是,该方法由以下步骤实现:

步骤一、把多抽头的 CCD 图像数据分为左上、左下、右上和右下四组,将所述四组数据以行为单位根据对应的物理地址分别写入左上、左下、右上和右下四组乒乓结构的双口 RAM 中;然后分别从左上、左下、右上和右下四组乒乓结构的双口 RAM 中按物理地址递增的顺序读出图像数据,获得四路地址顺序变化的图像数据;

步骤二、将步骤一所述的左上和左下乒乓结构的双口 RAM 内读出的图像数据写入乒乓结构的左 SDRAM 中,右上和右下乒乓结构的双口 RAM 内读出的图像数据写入乒乓结构的右 SDRAM 中,所述左 SDRAM 获得左半帧图像数据,右 SDRAM 获得右半帧图像数据;

步骤三、将步骤二所述的乒乓结构的左 SDRAM 读出的左半帧图像数据写入异步 FIFO 左中,右 SDRAM 读出的右半帧图像数据写入异步 FIFO 右中,然后以行为单位从异步 FIFO 左和异步 FIFO 右中连续读出图像数据,获得高分辨率多抽头面阵 CCD 输出的以行为单位的连续图像数据。

2. 根据权利要求 1 所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法,其特征在于,步骤二所述的双口 RAM 中存储的图像数据  $p$  大于 SDRAM 的列数  $q$ ,采用 SDRAM 的  $n+1$  行存储器存储从双口 RAM 内分  $n+1$  次断续读出的图像数据,所述 SDRAM 内断续读出的  $n+1$  行图像数据组成完整的输出行数据;所述  $n$  的取值范围为:

$$n < \frac{p}{q} \leq n+1, n \text{ 为正整数};$$

所述 SDRAM 存储器内每  $n+1$  行存储从双口 RAM 中读出的  $p$  个图像数据,前  $n$  行每行存储  $q$  个数据,最后一行存储的数据个数为 1,所述 1 的取值范围为:  $1 = p - q \times n$ ;从双口 RAM 中读出的图像数据由  $n$  次  $q$  个数据和一次 1 个数据组成。

3. 根据权利要求 1 所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法,其特征在于,步骤二所述的乒乓结构的 SDRAM 对乒乓结构的双口 RAM 中读出的图像数据的写操作过程为:a、在 SDRAM 中写入从上半部双口 RAM 读出的前  $n$  次图像数据,每次读出图像数据的个数为 SDRAM 存储器的列数  $q$ ;b、在 SDRAM 中写入从上半部双口 RAM 读出的第  $n+1$  次图像数据,个数为 1 个;c、在 SDRAM 中写入从下半部双口 RAM 读出前  $n$  次数据,每次数据的个数为 SDRAM 存储器的列数  $q$ ;d、在 SDRAM 中写入从下半部双口 RAM 读出的第  $n+1$  次数据,个数为 1 个;e、连续刷新  $m$  次;f、以  $7 \mu s$  为间隔进行定时刷新;

所述  $m$  为大于 1 的正整数, $m$  的取值范围为:

$$m-1 \leq t_{\min} \times \frac{8192}{64000} < m, \text{ 其中 } t_{\min} \text{ 为输入的最小行周期,单位为 } \mu s。$$

4. 根据权利要求 1 所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法,其特征在于,步骤三所述的 SDRAM 读出图像数据的具体过程为:

a、读出 SDRAM 存储器内的  $n$  行图像数据,每行的个数为 SDRAM 存储器的列数  $q$ ;b、读出 SDRAM 存储器内的最后一行中 1 个数据;c、连续刷新  $r$  次;d、空操作阶段;

所述  $r$  为大于 1 的正整数; $r$  的取值范围为:

$$r-1 \leq t_{\text{set}} \times \frac{8192}{64000} < r, \text{ 其中 } t_{\text{set}} \text{ 为规定的读出行周期,单位为 } \mu s。$$

5. 根据权利要求 1 所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法,其

特征在于,所述多抽头的 CCD 图像数据中的 CCD 的抽头数为大于四且为四的整数倍。

6. 根据权利要求 1 所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法,其特征在于,步骤三采用双通道的采集卡进行图像数据的采集。

## 高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法

### 技术领域

[0001] 本发明涉及一种图像数据合成的方法,具体涉及一种高分辨率(可达 $10K \times 10K$ )多抽头(抽头数大于四且为四的整倍数)短消隐期的面阵 CCD 输出图像数据实时合成的方法。

### 背景技术

[0002] 对于高速面阵 CCD 传感器,要在很短的时间内输出图像信号,需提高帧转移速率和像素时钟,这给芯片制造工艺和外围驱动电路的设计带来很大困难,而且信噪比也会恶化。芯片制造厂家为缓解此情况采用多抽头输出设计,如图 1 所示,将 CCD 的感光区和存储区分为多块,每块有各自的输出时钟,多端口并行输出,这就大大降低了帧转移速率和输出像素时钟,但仍需将多路信号实时地合成一幅完整的视频图像。

[0003] 传统的合成方法是:将 CCD 各路输出的图像数据,按输出顺序存入各自的存储器中,然后由控制器将视频信号从各存储器读出,经整合存入完整的视频存储器中。目前主要使用三种存储器:1、双口 RAM 速度可达上百兆,可同时读写,有地址线可控制存取位置,缺点是容量不到 1MB,价格也很高;2、“乒乓”结构 SDRAM,就是指两组 SDRAM,一组进行读操作,一组进行写操作,这样可同时进行读写操作,读写速度可达 166MHz,且成本低,缺点操作控制比较复杂;3、FIFO 操作简单可同时读写,存储速度可达上百兆,但突发缓存容量不到 1MB,且价格很高。

[0004] SDRAM 需定时刷新以保证数据不丢失,最大刷新周期为 64ms,若行数为 8192,则在 64ms 内需刷新 8192 次,最大平均间隔时间为  $7.8125 \mu s$ 。在刷新期间所有 BANK 停止工作,所有工作指令只能等待而无法执行,64ms 之后则再次对同一行进行刷新。现普遍采用较短字节突发读写操作结合定时计数刷新,即每次突发读写操作的时间小于平均刷新闻隔,并采用刷新定时计数器产生刷新请求;在每次突发操作完成后判断是否有刷新请求,若有执行刷新操作,否则进行突发读写操作。采用此方法能方便地协调读写操作和定时刷新,但对于高分辨率的图像数据,存储器的列数大,一行数据的读写操作需由多次突发操作才能完成,需多次判断是否进行刷新操作并进行存储器激活和预冲操作,控制器开销大,读写效率低,很难适应高分辨率短消隐期的图像数据操作。

### 发明内容

[0005] 本发明为解决背景技术存在的上述技术问题,提供一种高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法。

[0006] 高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法,该方法由以下步骤实现:

[0007] 步骤一、把多抽头的 CCD 图像数据分为左上、左下、右上和右下四组,将所述四组数据以行为单位根据对应的物理地址分别写入左上、左下、右上和右下四组乒乓结构的双口 RAM 中;然后分别从左上、左下、右上和右下四组乒乓结构的双口 RAM 中按物理地址递增

的顺序读出图像数据,获得四路地址顺序变化的图像数据;

[0008] 步骤二、将步骤一所述的左上和左下乒乓结构的双口 RAM 内读出的图像数据写入乒乓结构的左 SDRAM 中,右上和右下乒乓结构的双口 RAM 内读出的图像数据写入乒乓结构的右 SDRAM 中,所述左 SDRAM 获得左半帧图像数据,右 SDRAM 获得右半帧图像数据;

[0009] 步骤三、将步骤二所述的乒乓结构的左 SDRAM 读出的左半帧图像数据写入异步 FIFO 左中,右 SDRAM 读出的右半帧图像数据写入异步 FIFO 右中,然后以行为单位从异步 FIFO 左和异步 FIFO 右中连续读出图像数据,获得高分辨率多抽头面阵 CCD 输出的以行为单位的连续图像数据。

[0010] 本发明的工作原理:本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法由控制器、四组乒乓结构的双口 RAM、两组乒乓结构的 SDRAM 和两个异步 FIFO 组成,所述控制器与四组乒乓结构的双口 RAM、两组乒乓结构的 SDRAM 和两异步 FIFO 相连,并控制各存储器的读写操作;四组乒乓结构的双口 RAM,包括 8 个双口 RAM,每个双口 RAM 中存储  $p$  个图像数据,其作用是分别把左上、左下、右上和右下的  $s/4$  路输入数据整合为左上、左下、右上和右下的一路按顺序地址变化的输出数据, $s$  为 CCD 的抽头数,而且每个双口 RAM 内的数据是分  $n+1$  次读出的,以配合 SDRAM 的写入操作;两组乒乓结构 SDRAM 分别把左上、左下、右上和右下的图像数据整合为左半帧和右半帧的图像数据,最终以连续半帧图像输出,而且每  $n+1$  次页突发操作读出的数据组成了一个输出行数据;两异步 FIFO 的作用是把从 SDRAM 中  $n+1$  次的断续读出的数据变为一行连续输出的数据,最终采用双通道的采集卡进行图像数据的采集。

[0011] 本发明的有益效果:

[0012] 一、采用可编程逻辑器件和外部 SDRAM 实现图像数据的缓存,使用可编程逻辑器件作为小容量存储器和系统控制器,系统集成度高,控制灵活;

[0013] 二、利用了可编程器件内部的双口 RAM 和异步 FIFO 速度快但容量小而外部的 SDRAM 容量大但读写效率低操作复杂的特点,使用了三种存储器来完成不同的任务:系统中分别采用了乒乓结构的双口 RAM 和乒乓结构的 SDRAM 来分别对以行为单位的图像数据和以帧为单位的图像数据进行整合;双口 RAM 在 SDRAM 写操作前解决了数据整合地址不连续且写入操作不连续问题;异步 FIFO 克服了从 SDRAM 中读出的数据不连续问题;

[0014] 三、根据 SDRAM 处于不同的阶段,采用不同的刷新方法;能大大提高读写操作效率,可适应不同的输入行周期,不仅适合高分辨率多抽头的面阵 CCD 图像数据整合,也适用于高分辨率多抽头的线阵 CCD 图像数据整合,把每行的图像数据写入和读出由  $n+1$  次页突发操作来完成,写操作阶段每行图像数据的写入操作由多次全页突发操作来完成,然后进行集中刷新,最后进行定时计数刷新;读操作阶段每行图像数据的读出操作由多次全页突发操作来完成,然后进行集中刷新;无读写操作阶段实行定时计数刷新。

## 附图说明

[0015] 图 1 为现有大面阵 CCD 的输出通道示意图;

[0016] 图 2 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大面阵 CCD 的数据整合结构示意图;

[0017] 图 3 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大

面阵 CCD 的数据整合中双口 RAM 的时序图；

[0018] 图 4 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大面阵 CCD 的数据整合中 SDRAM 的时序图；

[0019] 图 5 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大面阵 CCD 的数据整合中 SDRAM 的控制状态转移图；

[0020] 图 6 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大面阵 CCD 的数据整合中 SDRAM 的写操作时序图；

[0021] 图 7 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大面阵 CCD 的数据整合中 SDRAM 的写操作子状态转移图；

[0022] 图 8 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大面阵 CCD 的数据整合中 SDRAM 的读操作子状态转移图；

[0023] 图 9 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大面阵 CCD 的数据整合中 SDRAM 的定时刷新子状态转移图；

[0024] 图 10 为本发明所述的高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法中大面阵 CCD 的数据整合中异步 FIFO 的时序图。

### 具体实施方式

[0025] 具体实施方式一、结合图 2 至图 10 说明本实施方式，高分辨率多抽头面阵 CCD 输出图像数据实时合成的方法，该方法由以下步骤实现：

[0026] 步骤一、把多抽头的 CCD 图像数据分为左上、左下、右上和右下四组，将所述四组数据以行为单位根据对应的物理地址分别写入左上、左下、右上和右下四组乒乓结构的双口 RAM 中；然后分别从左上、左下、右上和右下四组乒乓结构的双口 RAM 中按物理地址递增的顺序读出图像数据，获得四路地址顺序变化的图像数据；

[0027] 步骤二、将步骤一所述的左上和左下乒乓结构的双口 RAM 内读出的图像数据写入乒乓结构的左 SDRAM 中，右上和右下乒乓结构的双口 RAM 内读出的图像数据写入乒乓结构的右 SDRAM 中，所述左 SDRAM 获得左半帧图像数据，右 SDRAM 获得右半帧图像数据；

[0028] 步骤三、将步骤二所述的乒乓结构的左 SDRAM 读出的左半帧图像数据写入异步 FIFO 左中，右 SDRAM 读出的右半帧图像数据写入异步 FIFO 右中，然后以行为单位从异步 FIFO 左和异步 FIFO 右中连续读出图像数据，获得高分辨率多抽头面阵 CCD 输出的以行为单位的连续图像数据。

[0029] 本实施方式中步骤二所述的双口 RAM 中存储的图像数据  $p$  大于 SDRAM 的列数  $q$ ，即：SDRAM 每行能存储的最大容量；采用 SDRAM 的  $n+1$  行存储器存储从双口 RAM 内分  $n+1$  次断续读出的图像数据，所述 SDRAM 内断续读出的  $n+1$  行图像数据组成完整的输出行数据；所述  $n$  的取值范围为：

[0030]  $n < \frac{p}{q} \leq n+1$ ， $n$  为正整数；

[0031] 所述 SDRAM 存储器内每  $n+1$  行存储从双口 RAM 中读出的  $p$  个图像数据，前  $n$  行每行存储  $q$  个数据，最后一行存储的数据个数为 1，所述 1 的取值范围为： $1 = p - q \times n$ ；从双口 RAM 中读出的图像数据由  $n$  次  $q$  个数据和一次 1 个数据组成。每组乒乓结构的双口 RAM 的

工作时序如图 3 所示。

[0032] 结合图 4 说明本实施方式,把左上、左下、右上和右下的图像数据分别写入乒乓结构的左 SDRAM 和右 SDRAM 存储器中,以帧为单位对图像数据进行整合,乒乓结构的 SDRAM 进行乒乓操作,一组进行写操作,一组进行读操作。在每  $n+1$  行写操作结束后集中刷新  $m$  次,并进行定时刷新;在每  $n+1$  行读操作结束后集中刷新  $r$  次。写操作过程中,突发操作列首地址一直设置为 0,上、下半部的行地址和 BANK 地址根据输入数据对应的物理地址变化;读操作过程中,突发操作列首地址一直设置为 0,行地址在每次读出操作递增, BANK 地址在读空一个 BANK 后递增;最终以连续半帧图像输出,而且每个输出行的图像数据是分  $n+1$  次页突发操作读出的。

[0033] 结合图 5 说明本实施方式,所述两组乒乓结构的 SDRAM 存储器使用状态机来进行控制,分别包括上电初始化状态机、整帧读操作状态机、整帧写操作状态机和无读写操作状态机。在每次上电时首先进入上电初始化状态机对 SDRAM 进行上电初始化;然后进入无读写操作的状态机;在每帧写操作启动后进入整帧写操作状态机,在整帧写操作完成后进入整帧读操作状态机,整帧读操作结束后再次进入无读写操作的状态机,等待下一帧写操作的启动。

[0034] 结合图 6 说明本实施方式,步骤二所述的乒乓结构的 SDRAM 对乒乓结构的双口 RAM 中读出的图像数据的写操作过程为:a、在 SDRAM 中写入从上半部双口 RAM 读出的前  $n$  次图像数据,每次读出图像数据的个数为 SDRAM 存储器的列数  $q$ ;b、在 SDRAM 中写入从上半部双口 RAM 读出的第  $n+1$  次图像数据,个数为 1 个;c、在 SDRAM 中写入从下半部双口 RAM 读出前  $n$  次数据,每次数据的个数为 SDRAM 存储器的列数  $q$ ;d、在 SDRAM 中写入从下半部双口 RAM 读出的第  $n+1$  次数据,个数为 1 个;e、连续刷新  $m$  次;f、以小于最大平均间隔时间如  $7\mu s$  为间隔的定时刷新,具体的写操作子状态机如图 7 所示。所述  $m$  为大于 1 的正整数, $m$  的取值范围为:

$$[0035] \quad m-1 \leq t_{\min} \times \frac{8192}{64000} < m, \text{ 其中 } t_{\min} \text{ 为输入的最小行周期,单位为 } \mu s。$$

[0036] 所述 SDRAM 存储器内前  $n$  行每行存储 SDRAM 存储器的列数  $q$  个数据,最后一行存储的数据个数为 1;所述 1 的取值范围为: $l = p-q \times n$ ;

[0037] 本实施方式中 SDRAM 以页为单位进行突发操作,存储器内的一行读写操作只出现一次激活和预冲。对于图像传感器,输入和读出一行  $p$  个图像数据由  $n+1$  次页突发操作来完成,即需完成 SDRAM 存储器内  $n+1$  行的读写操作,然后再集中进行刷新操作。

[0038] 本实施方式中对于从 SDRAM 中读出一行输出行图像数据,需经过四个步骤进行处理:a、读出 SDRAM 存储器内的  $n$  行图像数据,每行的个数为 SDRAM 存储器的列数  $q$ ;b、读出 SDRAM 存储器内的最后一行中 1 个数据;c、连续进行刷新  $r$  次;d、空操作阶段,持续时间很短,不进行任何操作;具体的读操作子状态机如图 8 所示。

[0039] 所述读操作集中刷新的次数为  $r$ ,其中  $t_{set}$  为规定的读出行周期,单位为  $\mu s$ ;

$$[0040] \quad r-1 \leq t_{set} \times \frac{8192}{64000} < r$$

[0041] 在无读写操作的状态机和写操作子状态机的定时刷新子状态机中,都是以小于最大平均间隔时间如  $7\mu s$  为间隔进行定时刷新操作。

[0042] 本实施方式中所述的双口 RAM、异步 FIFO 采用 Xilinx 公司的 FPGA 内部存储器资

源,控制器也由 Xilinx 公司的 FPGA 产生,SDRAM 采用 8 片 ISSI 公司的 IS42S86400B;针对的 CCD 为分辨率为  $10580 \times 10560$  的全帧 CCD STA1600。

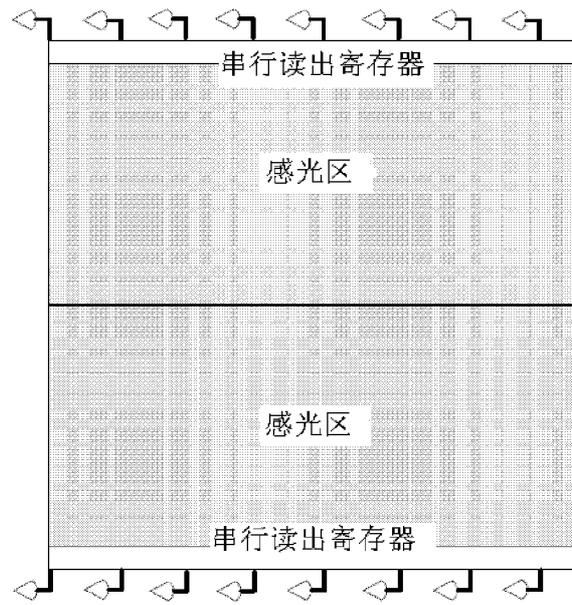


图 1

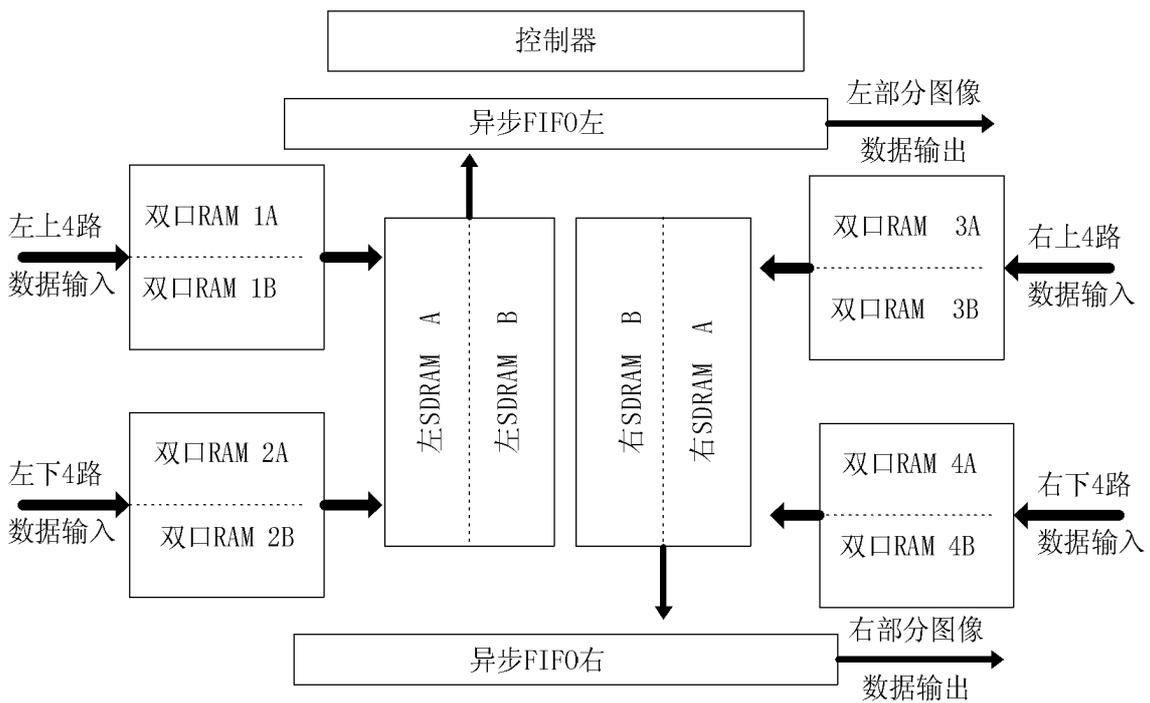


图 2

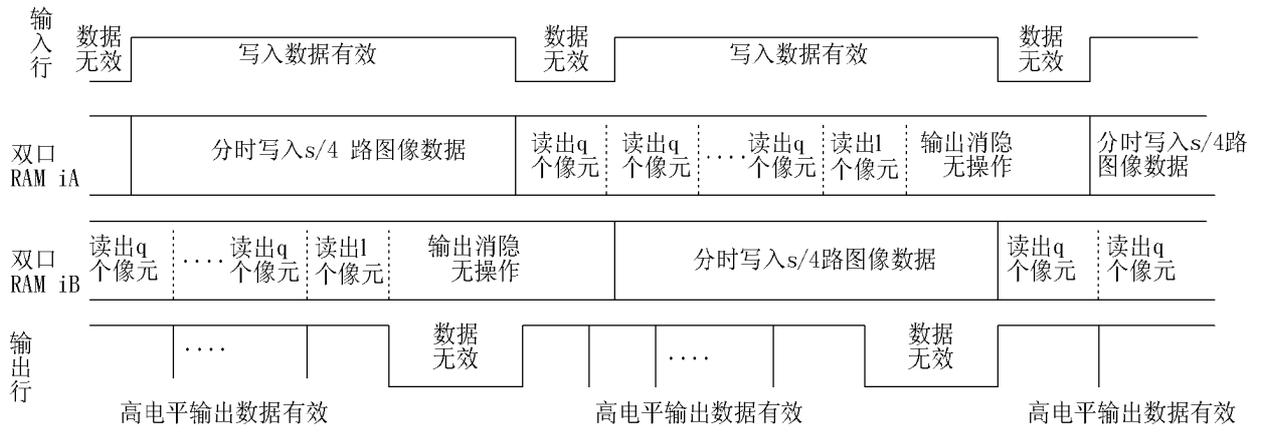


图 3

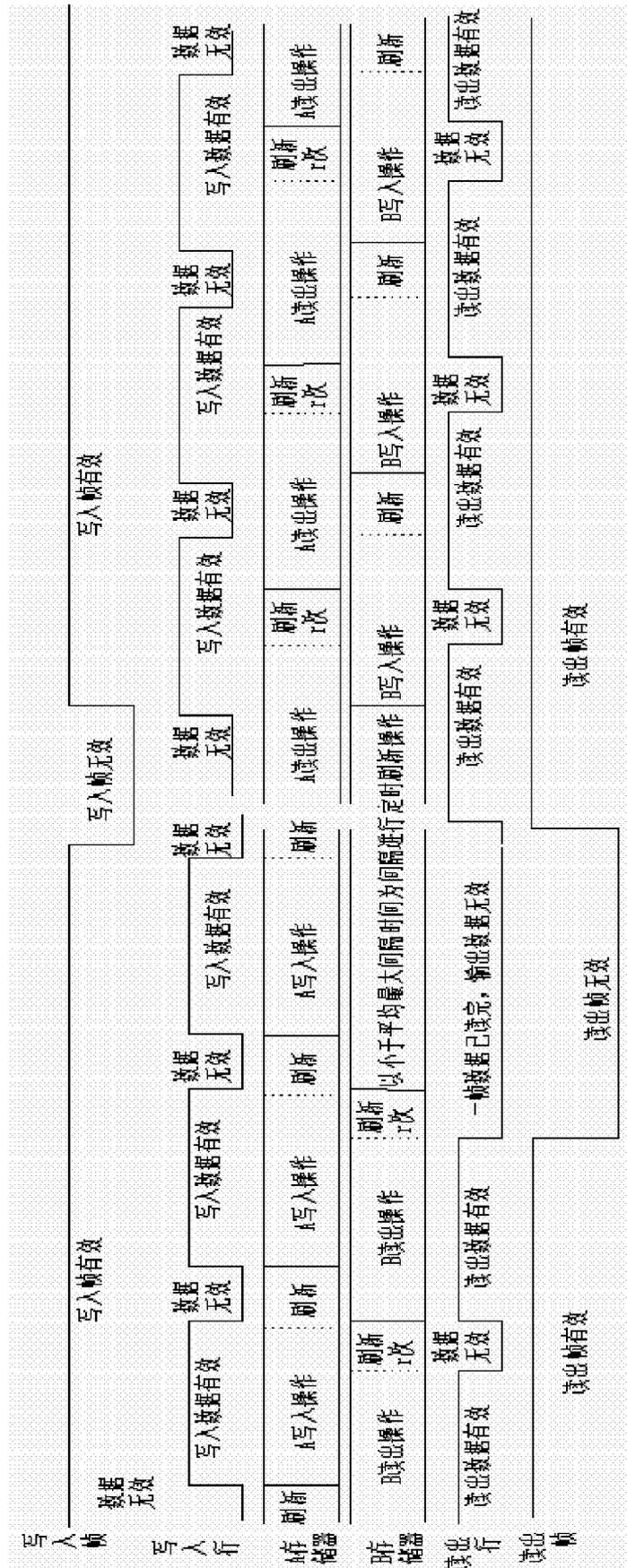


图 4

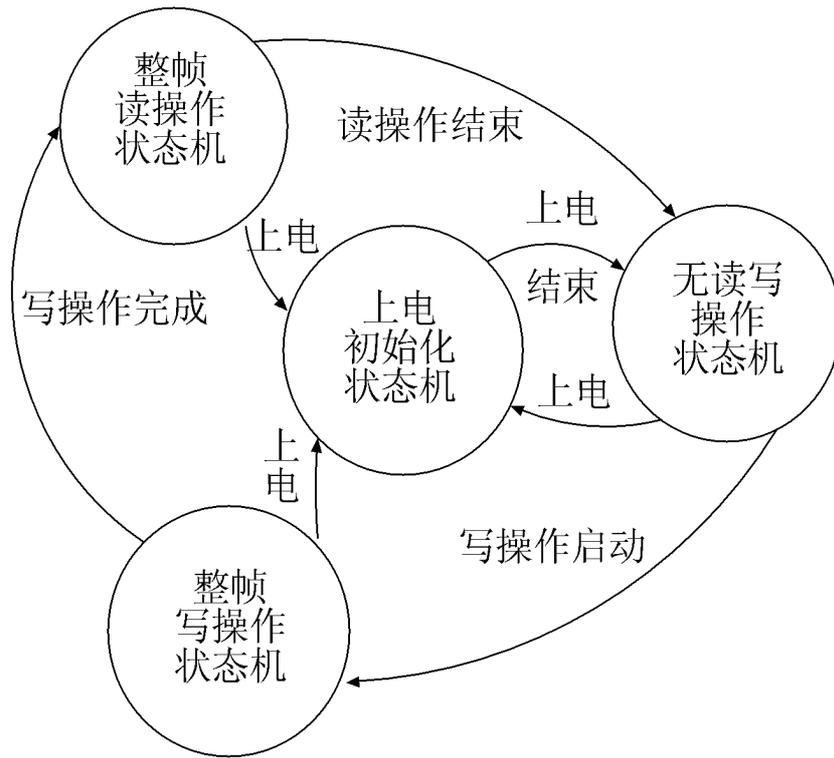


图 5

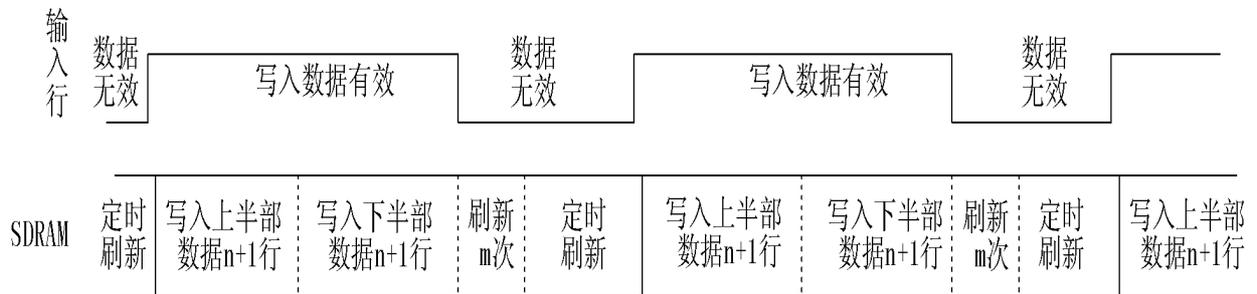


图 6

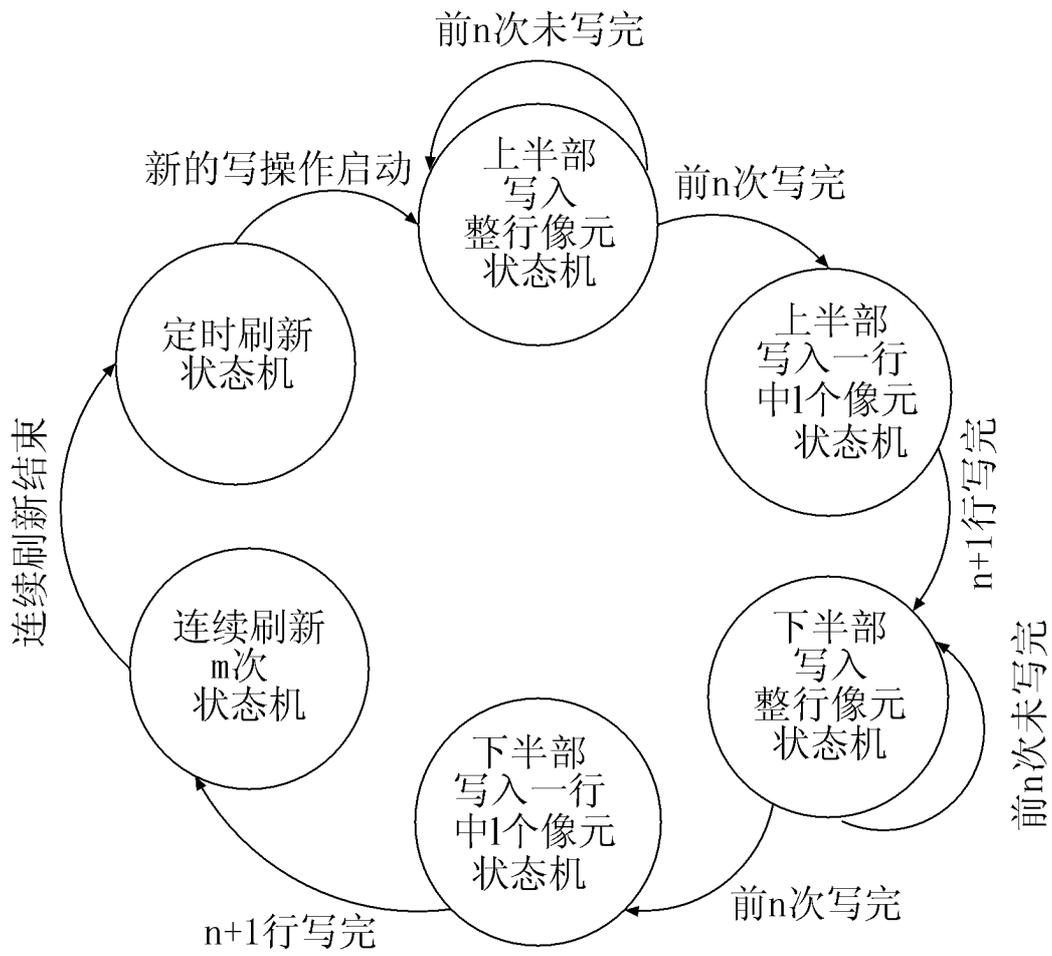


图7

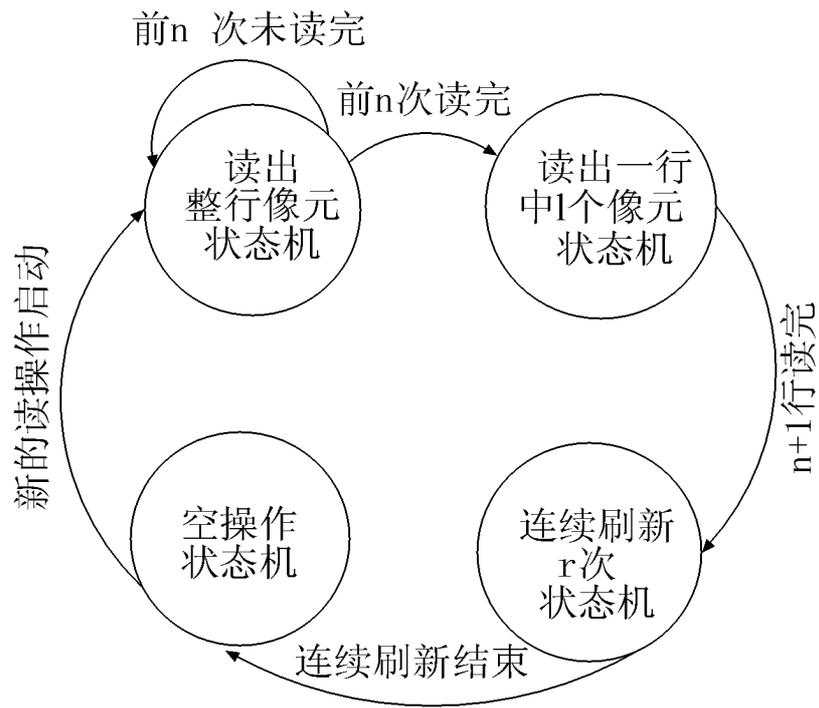


图8

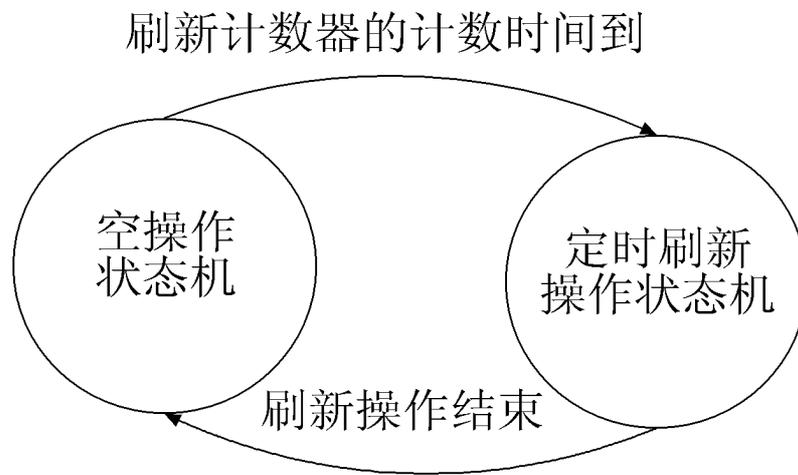


图9

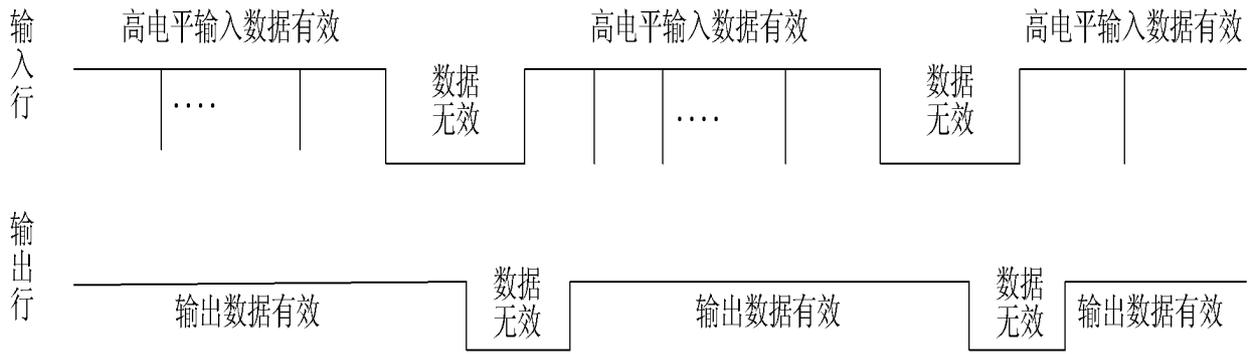


图 10