



(12) 发明专利申请

(10) 申请公布号 CN 102158662 A

(43) 申请公布日 2011.08.17

(21) 申请号 201110095525.4

(22) 申请日 2011.04.15

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 张贵祥 金光

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 陶尊新

(51) Int. Cl.

H04N 5/372(2011.01)

H04N 5/357(2011.01)

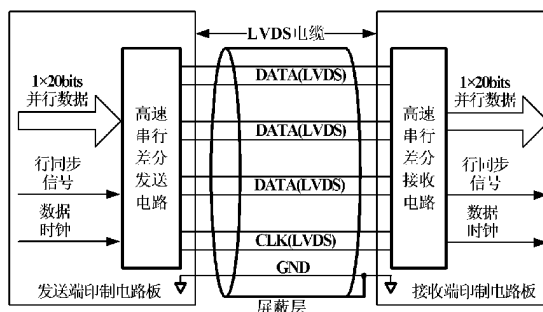
权利要求书 3 页 说明书 5 页 附图 2 页

(54) 发明名称

星载高分辨率 CCD 相机图像数据传输电路

(57) 摘要

星载高分辨率 CCD 相机图像数据传输电路, 涉及航天光学遥感成像技术领域, 它解决现有星载 CCD 遥感相机单通道的图像数据的传输需要多片差分驱动器集成电路的配合, 在传输数据后导致数据传输电路的性能下降的问题, 该电路包括发送端的高速串行差分发送电路和接收端的高速串行差分接收电路。高速串行差分发送电路接收星载高分辨率 CCD 输出的图像数据、行同步信号以及数据时钟, 经高速 LVDS 串行器进行并串转换、差分驱动后输出四组高速串行 LVDS 信号, 所述四组 LVDS 信号流通过 LVDS 传输电缆传送至高速串行差分接收电路; 本发明减小了星载高分辨率 CCD 相机数据传输链路的体积、重量和功耗, 有效地保证了图像传输的质量。



1. 星载高分辨率 CCD 相机图像数据传输电路,包括高速串行差分发送电路和高速串行差分接收电路;其特征是,所述高速串行差分发送电路接收星载高分辨率 CCD 相机输出的并行图像数据、行同步信号和数据时钟信号,所述并行图像数据和行同步信号通过高速串行差分发送电路在一个时钟周期内转换为三组数据 LVDS 信号流发送;数据时钟信号通过高速串行差分发送电路转换为时钟 LVDS 信号流在第四组 LVDS 信号流发送,所述四组 LVDS 信号流通过 LVDS 传输电缆传送至高速串行差分接收电路;所述的高速串行差分发送电路和高速串行差分接收电路分别设置在发送端印制电路板和接收端印制电路板上,所述两块印制电路板通过 LVDS 电缆进线连接。

2. 根据权利要求 1 所述的星载高分辨率 CCD 相机图像数据传输电路,其特征在于,所述的高速串行差分发送电路包括高速 LVDS 串行器 (215)、电阻 R_1 至电阻 R_{10} 和电容 C_1 至电容 C_3 ;所述高速串行差分接收电路包括:高速 LVDS 解串器 (218)、电阻 R_{11} 至电阻 R_{28} 和电容 C_4 至电容 C_{10} ;所述高速 LVDS 串行器 (215) 的数据输入端 (201) 作为并行图像数据的输入端,高速 LVDS 串行器 (215) 的同步信号输入端 (202) 作为行同步信号的输入端,高速 LVDS 串行器 (215) 的时钟输入端 (203) 作为数据时钟信号的输入端,高速 LVDS 串行器 (215) 的第一数据差分驱动器 (207) 的正输出端通过电阻 R_1 、第一 LVDS 电缆和电阻 R_{19} 与高速 LVDS 解串器 (218) 的第一数据差分接收器 (211) 的正输入端连接,高速 LVDS 串行器 (215) 的第一数据差分驱动器 (207) 的负输出端通过电阻 R_2 、第一 LVDS 电缆和电阻 R_{20} 与高速 LVDS 解串器 (218) 的第一数据差分接收器 (211) 的负输入端连接;

所述高速 LVDS 串行器 (215) 的第二数据差分驱动器 (208) 的正输出端通过电阻 R_3 、第二 LVDS 电缆和电阻 R_{21} 与高速 LVDS 解串器 (218) 的第二数据差分接收器 (212) 的正输入端连接,高速 LVDS 串行器 (215) 的第二数据差分驱动器 (208) 的负输出端通过电阻 R_4 、第二 LVDS 电缆和电阻 R_{22} 与高速 LVDS 解串器 (218) 的第二数据差分接收器 (212) 的负输入端连接;

所述高速 LVDS 串行器 (215) 的第三数据差分驱动器 (209) 的正输出端通过电阻 R_5 、第三 LVDS 电缆和电阻 R_{23} 与高速 LVDS 解串器 (218) 的第三数据差分接收器 (213) 的正输入端连接,高速 LVDS 串行器 (215) 的第三数据差分驱动器 (209) 的负输出端通过电阻 R_6 、第三 LVDS 电缆和电阻 R_{24} 与高速 LVDS 解串器 (218) 的第三数据差分接收器 (213) 的负输入端连接;

所述高速 LVDS 串行器 (215) 的时钟差分驱动器 (210) 的正输出端通过电阻 R_7 、第四 LVDS 电缆和电阻 R_{25} 与高速 LVDS 解串器 (218) 的时钟差分接收器 (214) 的正输入端连接,高速 LVDS 串行器 (215) 的时钟差分驱动器 (210) 的负输出端通过电阻 R_8 、第四 LVDS 电缆和电阻 R_{26} 与高速 LVDS 解串器 (218) 的时钟差分接收器 (214) 的负输入端连接;

所述电阻 R_{11} 的一端通过电阻 R_{19} 与高速 LVDS 解串器 (218) 的第一数据差分接收器 (211) 的正输入端连接,电阻 R_{11} 的另一端与电阻 R_{12} 、电容 C_4 的一端连接,所述电阻 R_{12} 的另一端通过电阻 R_{20} 与高速 LVDS 解串器 (218) 的第一数据差分接收器 (211) 的负输入端连接,所述电容 C_4 的另一端接地;

所述电阻 R_{13} 的一端通过电阻 R_{21} 与高速 LVDS 解串器 (218) 的第二数据差分接收器 (212) 的正输入端连接,电阻 R_{13} 的另一端与电阻 R_{14} 、电容 C_5 的一端连接,电阻 R_{14} 的另一端通过电阻 R_{22} 与高速 LVDS 解串器 (218) 的第二数据差分接收器 (212) 的负输入端连接,电

容 C_5 的另一端接地；

所述电阻 R_{15} 的一端通过电阻 R_{23} 与高速 LVDS 解串器 (218) 的第三数据差分接收器 (213) 的正输入端连接, 电阻 R_{15} 的另一端与电阻 R_{16} 、电容 C_6 的一端连接, 电阻 R_{16} 的另一端通过电阻 R_{24} 与高速 LVDS 解串器 (218) 的第三数据差分接收器 (213) 的负输入端连接, 电容 C_6 的另一端接地；

所述电阻 R_{17} 的一端通过电阻 R_{25} 与高速 LVDS 解串器 (218) 的时钟差分接收器 (214) 的正输入端连接, 电阻 R_{17} 的另一端与电阻 R_{18} 、电容 C_7 的一端连接, 电阻 R_{18} 的另一端通过电阻 R_{26} 与高速 LVDS 解串器 (218) 的时钟差分接收器 (214) 的负输入端连接, 电容 C_7 的另一端接地；

所述高速 LVDS 解串器 (218) 的数据输出端 (204) 作为图像数据的输出端, 高速 LVDS 解串器 (218) 的同步信号输出端 (205) 作为行同步信号的输出端, 高速 LVDS 解串器 (218) 时钟输出端 (206) 作为数据时钟信号的输出端；

所述高速 LVDS 串行器 (215) 的接地端 (217) 通过参考地线与高速 LVDS 解串器 (218) 的接地端 (220) 连接, 电阻 R_9 和电阻 R_{10} 并联连接在电源 VCC 与高速 LVDS 串行器 (215) 的电源输入端 (216) 之间, 电容 C_1 、电容 C_2 和电容 C_3 并联连接在高速 LVDS 串行器 (215) 的电源输入端 (216) 与参考地线之间, 电阻 R_{27} 和电阻 R_{28} 并联连接在电源 VCC 与高速 LVDS 解串器 (218) 的电源输入端 (219) 之间, 电容 C_8 、电容 C_9 和电容 C_{10} 并联连接在高速 LVDS 解串器 (218) 的电源输入端 (219) 与参考地线之间。

3. 根据权利要求 2 所述的星载高分辨率 CCD 相机图像数据传输电路, 其特征在于: 所述高速 LVDS 串行器 (215) 的型号为 DS90CR217, 所述高速 LVDS 解串器 (218) 的型号为 DS90CR218。

4. 根据权利要求 2 所述的星载高分辨率 CCD 相机图像数据传输电路, 其特征在于: 所述电阻 R_9 和电阻 R_{10} 是高速 LVDS 串行器 (215) 电源输入端的限流保护电阻, 电阻 R_9 的阻值和电阻 R_{10} 的阻值相等; 所述的电容 C_1 、电容 C_2 和电容 C_3 是高速 LVDS 串行器 (215) 电源输入端 (216) 的去耦网络, 电容 C_1 的容值为所述 C_2 的容值的 10 倍; 所述电容 C_2 的容值为 C_3 的容值的 10 倍。

5. 根据权利要求 2 所述的星载高分辨率 CCD 相机图像数据传输电路, 其特征在于: 所述电阻 R_{27} 和电阻 R_{28} 是高速 LVDS 解串器 (218) 电源输入端 (219) 的限流保护电阻, 电阻 R_{27} 的阻值和电阻 R_{28} 的阻值相等; 所述的电容 C_8 、电容 C_9 和电容 C_{10} 是高速 LVDS 解串器 (218) 电源输入端 (219) 的去耦网络, 电容 C_8 的容值为所述 C_9 的容值的 10 倍, 所述电容 C_9 的容值为所述 C_{10} 的容值的 10 倍。

6. 根据权利要求 2 所述的星载高分辨率 CCD 相机图像数据传输电路, 其特征在于: 所述电阻 $R_1 \sim R_{10}$ 是高速 LVDS 串行器 (215) 输出端的保护电阻, 所述电阻 $R_1 \sim R_{10}$ 的阻值相等。

7. 根据权利要求 2 所述的星载高分辨率 CCD 相机图像数据传输电路, 其特征在于: 所述电阻 $R_{19} \sim R_{26}$ 是高速 LVDS 解串器 (218) 输入端的保护电阻, 所述电阻 $R_{19} \sim R_{26}$ 的阻值相等。

8. 根据权利要求 2 所述的星载高分辨率 CCD 相机图像数据传输电路, 其特征在于: 所述电阻 $R_{11} \sim R_{18}$ 是高速 LVDS 解串器 (218) 输入端的终端匹配电阻, 电阻 $R_{11} \sim R_{18}$ 的阻值

相等,所述阻值的精度为 1%。

9. 根据权利要求 2 所述的星载高分辨率 CCD 相机图像数据传输电路,其特征在于:所述电容 $C_4 \sim C_7$ 是高速 LVDS 解串器 (218) 输入端的滤波电容,所述电容 $C_4 \sim C_7$ 的容值相等。

10. 根据权利要求 1 所述的星载高分辨率 CCD 相机图像数据传输电路,其特征在于:所述 LVDS 传输电缆的长度不大于 10m。

星载高分辨率 CCD 相机图像数据传输电路

技术领域

[0001] 本发明涉及航天光学遥感成像技术领域,具体涉及星载高分辨率 CCD 相机图像数据传输电路。

背景技术

[0002] 随着航天光学遥感成像技术的发展,对星载 CCD 遥感相机的地面像元分辨率和幅宽的指标要求不断提高,为了满足要求,星载高分辨率的 CCD 遥感相机大都采用高速多通道并行输出结构。“高速”是由于高分辨率造成 CCD 像元读出频率高,因而产生高数据率的图像数据;“多通道”包含着两层含义:一是为了满足相机的地面幅宽,采用多片 CCD 拼接;二是为了保证信号电荷的完全转移输出,CCD 采用多个抽头并行输出。这必然带来数字化后 CCD 图像数据量的急剧增加,给后端的图像数据传输提出了越来越高的要求。由于图像数据传输速率高、传输通道多以及数据量大使得现有的图像数据传输方式存在很大的局限性。目前,对星载 CCD 遥感相机图像数据传输大都采用直接低压差分信号传输技术,其典型电路原理图如图 1 所示,包括:差分驱动器 103、差分接收器 104、电阻 R_0 以及 LVDS 电缆。差分驱动器 103 的输入端 101 也作为图像数据信号的输入端,差分驱动器 103 的正输出端 105 通过 LVDS 电缆与差分接收器 104 的正输入端 108 连接,差分驱动器 103 的负输出端 106 通过 LVDS 电缆与差分接收器 104 的负输入端 109 连接,差分接收器 104 的正输入端 108 通过电阻 R_0 与差分接收器 104 的负输入端 109 连接,差分驱动器 103 的接地端 107 通过参考地线与差分接收器 104 的接地端 110 连接,差分接收器 104 的输出端 102 也作为图像数据信号的输出端。现有技术的直接差分传输采取点对点的差分驱动器/接收器,将一路的 TTL/CMOS 信号转换为一对 LVDS 信号进行传输,这种数据传输方式存在着较多的技术缺点:首先,如果星载 CCD 遥感相机单通道的图像灰度等级为 10bits,再加上图像数据传输的同步信号与数据时钟,这样,要完成星载 CCD 遥感相机单通道的图像数据的传输就需要 12 对差分驱动器/接收器,随着星载 CCD 遥感相机图像数据输出通道增加,差分驱动器/接收器对也随之成倍增加,这显然需要更多的 LVDS 传输电缆,必然造成系统的体积、重量以及功耗的增大,不利于星载 CCD 遥感相机小型化;再者,图像数据传输线缆数目的增多以及传输速率的加快会使 PCB 布线的难度提高,并且增加了信号的延时和相互干扰,不利于星载 CCD 遥感相机图像数据的无码传输;另外,现有的差分驱动器集成电路或差分接收器集成电路仅集成了四个差分驱动器差分接收器,因此,要完成星载 CCD 遥感相机单通道的图像数据的传输需要多片差分驱动器集成电路或差分接收器集成电路配合,这造成在实际应用时多片差分驱动器集成电路输出信号相位偏差较大,数据时钟定位不准确,这种误差在数据传输速率提高后,数据传输电路性能严重下降,甚至电路功能丧失。

发明内容

[0003] 本发明解决现有星载 CCD 遥感相机单通道的图像数据的传输需要多片差分驱动器集成电路的配合,造成在实际应用时多片差分驱动器集成电路输出信号相位偏差较大,

数据时钟定位不准确,并在传输数据后导致数据传输电路的性能下降的问题,提供一种星载高分辨率 CCD 相机图像数据传输电路。

[0004] 一种星载高分辨率 CCD 相机图像数据传输电路,包括高速串行差分发送电路和高速串行差分接收电路;所述高速串行差分发送电路接收星载高分辨率 CCD 相机输出的并行图像数据、行同步信号和数据时钟信号,所述并行图像数据和行同步信号通过高速串行差分发送电路在一个时钟周期内转换为三组数据 LVDS 信号流发送;数据时钟信号通过高速串行差分发送电路转换为时钟 LVDS 信号流在第四组 LVDS 信号流发送,所述四组 LVDS 信号流通过 LVDS 传输电缆传送至高速串行差分接收电路;所述的高速串行差分发送电路和高速串行差分接收电路分别设置在发送端印制电路板和接收端印制电路板上,所述两块印制电路板通过 LVDS 电缆进线连接。

[0005] 本发明的工作原理:所述的星载高分辨率 CCD 相机图像数据传输电路的数据传输通道信号包括:图像数据、数据时钟以及行同步信号三种信号。其中,行同步信号标识图像数据的开头、结尾,数据时钟标识图像数据中每个 bit 数据的位置。在星载高分辨率 CCD 相机成像过程中,按照一定的帧格式向星载数据存储设备输出图像。在图像数据发送端,图像数据从高速 LVDS 串行器的数据输入端输入,行同步信号从高速 LVDS 串行器的同步信号输入端输入,数据时钟从高速 LVDS 串行器的时钟输入端输入,图像数据组成 20bits 的并行 CMOS/TTL 数据信号和行同步信号通过高速 LVDS 串行器内部的并串转换电路和数据差分驱动器在一个数据时钟周期内转换为三组数据 LVDS 信号发送出去,同时,数据时钟通过高速 LVDS 串行器内部的 PLL 电路和时钟差分驱动器转换为第四组时钟 LVDS 信号发送出去,数据时钟的每个周期都对 20bits 数据进行采样和发送,每组数据 LVDS 信号的发送速率是时钟 LVDS 信号的发送速率的 7 倍。四组 LVDS 信号通过保护电阻和 LVDS 电缆送至接收图像数据接收端的高速 LVDS 解串器,三组数据 LVDS 信号通过高速 LVDS 解串器内部的数据差分接收器和串并转换电路转换为 20bits 的并行 CMOS/TTL 数据信号和同步时钟信号,同时,第四组时钟 LVDS 信号通过高速 LVDS 解串器内部的时钟差分接收器和 PLL 电路转换为数据时钟,通过高速 LVDS 解串器恢复输出的图像数据从高速 LVDS 解串器的数据输出端输出,行同步信号从高速 LVDS 解串器的同步信号输出端输出,数据时钟从高速 LVDS 解串器的时钟输出端输出。这种高速 LVDS 串行/解串传输是将多路并行数据转换为较少的 LVDS 线对进行高速差分串行传输,这不仅解决了数据的传输速率问题,而且使系统的传输导线数量压缩了 80%,减少了星载高分辨率 CCD 相机数据传输链路的体积、重量和功耗。

[0006] 本发明的有益效果:一、本发明所述的星载高分辨率 CCD 相机图像数据传输电路采用“高速 LVDS 串行/解串”技术将多路并行数据转换为较少的 LVDS 线对进行多通道、高速图像数据的高速差分串行传输,这不仅解决了数据的传输速率问题,而且使系统的传输导线数量压缩了 80%,减小了星载高分辨率 CCD 相机数据传输链路的体积、重量和功耗,利于星载 CCD 遥感相机轻小型化;二、本发明与现有技术相比在图像数据的发送端和接收端增加了保护电阻,防止单机短路失效对相机系统的影响,增强了系统的可靠性;三、本发明的接收端匹配电阻采用两电阻串联,并在两个电阻的串联公共端通过一个电容与参考地线连接,这样更好的滤除了传输信号的共模噪声,最大程度地保证信号的完整性;其四,本发明采用单片集成电路实现多路图像数据的转换,这样可以有效地保证了传输信号的相位一致和数据时钟定位精确,避免因相位误差导致的电路传输误码率的增加。

附图说明

- [0007] 图 1 为现有的 CCD 相机图像数据传输电路原理图；
- [0008] 图 2 为本发明所述的星载高分辨率 CCD 相机图像数据传输电路结构示意图；
- [0009] 图 3 为本发明所述的星载高分辨率 CCD 相机图像数据传输电路原理图；
- [0010] 图 4 为本发明所述的星载高分辨率 CCD 相机图像数据传输电路的数据传输通道信号时序关系图。

具体实施方式

[0011] 具体实施方式一、结合图 2 和图 3 说明本实施方式，星载高分辨率 CCD 相机图像数据传输电路，包括高速串行差分发送电路和高速串行差分接收电路；其特征是，所述高速串行差分发送电路接收星载高分辨率 CCD 相机输出的并行图像数据、行同步信号和数据时钟信号，所述并行图像数据和行同步信号通过高速串行差分发送电路在一个时钟周期内转换为三组数据 LVDS 信号流发送；数据时钟信号通过高速串行差分发送电路转换为时钟 LVDS 信号流在第四组 LVDS 信号流发送，所述四组 LVDS 信号流通过 LVDS 传输电缆传送至高速串行差分接收电路；所述的高速串行差分发送电路和高速串行差分接收电路分别设置在发送端印制电路板和接收端印制电路板上，所述两块印制电路板通过 LVDS 电缆进线连接。

[0012] 本实施方式所述的高速串行差分发送电路包括高速 LVDS 串行器 215、电阻 R_1 至电阻 R_{10} 和电容 C_1 至电容 C_3 ；所述高速串行差分接收电路包括：高速 LVDS 解串器 218、电阻 R_{11} 至电阻 R_{28} 和电容 C_4 至电容 C_{10} ；所述高速 LVDS 串行器 215 的数据输入端 201 作为并行图像数据的输入端，高速 LVDS 串行器 215 的同步信号输入端 202 作为行同步信号的输入端，高速 LVDS 串行器 215 的时钟输入端 203 作为数据时钟信号的输入端，高速 LVDS 串行器 215 的第一数据差分驱动器 207 的正输出端通过电阻 R_1 、第一 LVDS 电缆和电阻 R_{19} 与高速 LVDS 解串器 218 的第一数据差分接收器 211 的正输入端连接，高速 LVDS 串行器 215 的第一数据差分驱动器 207 的负输出端通过电阻 R_2 、第一 LVDS 电缆和电阻 R_{20} 与高速 LVDS 解串器 218 的第一数据差分接收器 211 的负输入端连接；

[0013] 所述高速 LVDS 串行器 215 的第二数据差分驱动器 208 的正输出端通过电阻 R_3 、第二 LVDS 电缆和电阻 R_{21} 与高速 LVDS 解串器 218 的第二数据差分接收器 212 的正输入端连接，高速 LVDS 串行器 215 的第二数据差分驱动器 208 的负输出端通过电阻 R_4 、第二 LVDS 电缆和电阻 R_{22} 与高速 LVDS 解串器 218 的第二数据差分接收器 212 的负输入端连接；

[0014] 所述高速 LVDS 串行器 215 的第三数据差分驱动器 209 的正输出端通过电阻 R_5 、第三 LVDS 电缆和电阻 R_{23} 与高速 LVDS 解串器 218 的第三数据差分接收器 213 的正输入端连接，高速 LVDS 串行器 215 的第三数据差分驱动器 209 的负输出端通过电阻 R_6 、第三 LVDS 电缆和电阻 R_{24} 与高速 LVDS 解串器 218 的第三数据差分接收器 213 的负输入端连接；

[0015] 所述高速 LVDS 串行器 215 的时钟差分驱动器 210 的正输出端通过电阻 R_7 、第四 LVDS 电缆和电阻 R_{25} 与高速 LVDS 解串器 218 的时钟差分接收器 214 的正输入端连接，高速 LVDS 串行器 215 的时钟差分驱动器 210 的负输出端通过电阻 R_8 、第四 LVDS 电缆和电阻 R_{26} 与高速 LVDS 解串器 218 的时钟据差分接收器 214 的负输入端连接；

[0016] 所述电阻 R_{11} 的一端通过电阻 R_{19} 与高速 LVDS 解串器 218 的第一数据差分接收器

211 的正输入端连接,电阻 R_{11} 的另一端与电阻 R_{12} 、电容 C_4 的一端连接,所述电阻 R_{12} 的另一端通过电阻 R_{20} 与高速 LVDS 解串器 218 的第一数据差分接收器 211 的负输入端连接,所述电容 C_4 的另一端接地;

[0017] 所述电阻 R_{13} 的一端通过电阻 R_{21} 与高速 LVDS 解串器 218 的第二数据差分接收器 212 的正输入端连接,电阻 R_{13} 的另一端与电阻 R_{14} 、电容 C_5 的一端连接,电阻 R_{14} 的另一端通过电阻 R_{22} 与高速 LVDS 解串器 218 的第二数据差分接收器 212 的负输入端连接,电容 C_5 的另一端接地;

[0018] 所述电阻 R_{15} 的一端通过电阻 R_{23} 与高速 LVDS 解串器 218 的第三数据差分接收器 213 的正输入端连接,电阻 R_{15} 的另一端与电阻 R_{16} 、电容 C_6 的一端连接,电阻 R_{16} 的另一端通过电阻 R_{24} 与高速 LVDS 解串器 218 的第三数据差分接收器 213 的负输入端连接,电容 C_6 的另一端接地;

[0019] 所述电阻 R_{17} 的一端通过电阻 R_{25} 与高速 LVDS 解串器 218 的时钟差分接收器 214 的正输入端连接,电阻 R_{17} 的另一端与电阻 R_{18} 、电容 C_7 的一端连接,电阻 R_{18} 的另一端通过电阻 R_{26} 与高速 LVDS 解串器 218 的时钟差分接收器 214 的负输入端连接,电容 C_7 的另一端接地;

[0020] 所述高速 LVDS 解串器 218 的数据输出端 204 作为图像数据的输出端,高速 LVDS 解串器同步信号输 205 出端作为行同步信号的输出端,高速 LVDS 解串器 218 时钟输出端 206 作为数据时钟信号的输出端;

[0021] 所述高速 LVDS 串行器 215 的接地端 217 通过参考地线与高速 LVDS 解串器 218 的接地端 220 连接,电阻 R_9 和电阻 R_{10} 并联连接在电源 VCC 与高速 LVDS 串行器 215 的电源输入端 216 之间,电容 C_1 、电容 C_2 和电容 C_3 并联连接在高速 LVDS 串行器 215 的电源输入端 216 与参考地线之间,电阻 R_{27} 和电阻 R_{28} 并联连接在电源 VCC 与高速 LVDS 解串器 218 的电源输入端 219 之间,电容 C_8 、电容 C_9 和电容 C_{10} 并联连接在高速 LVDS 解串器 218 的电源输入端 219 与参考地线之间。

[0022] 本实施方式所述高速 LVDS 串行器 215 的型号为 DS90CR217,所述高速 LVDS 解串器 218 的型号为 DS90CR218。

[0023] 本实施方式所述的电阻 R_9 和电阻 R_{10} 是高速 LVDS 串行器 215 电源输入端的限流保护电阻,以防止高速 LVDS 串行器 215 的 CMOS 电路锁定效应,造成芯片烧毁,电阻 R_9 的阻值和电阻 R_{10} 的阻值相等;且阻值在 $10\ \Omega \sim 33\ \Omega$ 之间。所述的电容 C_1 、电容 C_2 和电容 C_3 是高速 LVDS 串行器 215 电源输入端 216 的去耦网络,以防止浪涌电压叠加在电源 VCC 上,使高速 LVDS 串行器 215 有稳定的工作电压,电容 C_1 的容值取 $0.1\ \mu\text{F}$ 为所述 C_2 的容值(取 $0.01\ \mu\text{F}$) 的 10 倍。所述电容 C_2 的容值为所述 C_3 的容值(取 $0.001\ \mu\text{F}$) 的 10 倍。

[0024] 本实施方式所述电阻 R_{27} 和电阻 R_{28} 是高速 LVDS 解串器 218 电源输入端的限流保护电阻,以防止高速 LVDS 解串器 218 的 CMOS 电路锁定效应,造成芯片烧毁,电阻 R_{27} 的阻值和电阻 R_{28} 的阻值相等;且阻值在 $10\ \Omega \sim 33\ \Omega$ 之间。所述的电容 C_8 、电容 C_9 和电容 C_{10} 是高速 LVDS 解串器 218 电源输入端 219 的去耦网络,以防止浪涌电压叠加在电源 VCC 上,使高速 LVDS 解串器 218 有稳定的工作电压,电容 C_8 的容值取 $0.1\ \mu\text{F}$ 为所述 C_9 的容值(取 $0.01\ \mu\text{F}$) 的 10 倍。所述电容 C_9 的容值为所述 C_{10} 的容值(取 $0.001\ \mu\text{F}$) 的 10 倍。

[0025] 本实施方式所述电阻 $R_1 \sim R_{10}$ 是高速 LVDS 串行器 215 输出端的保护电阻,防止高

速 LVDS 串行器 215 输出端有较大容性负载时,流过高速 LVDS 串行器 215 输出端的冲击电流较大,造成电路失效,电阻 $R_1 \sim R_{10}$ 的阻值相等,且阻值在 $22 \Omega \sim 51 \Omega$ 之间。

[0026] 本实施方式所述电阻 $R_{19} \sim R_{26}$ 是高速 LVDS 解串器 218 输入端的保护电阻,防止 LVDS 电缆的分布电容和分布电感形成的 LC 振荡造成的高速 LVDS 解串器 218 输入端 219 的输入电流过大,造成电路失效,电阻 $R_{19} \sim R_{26}$ 的阻值相等,且阻值在 $100 \Omega \sim 330 \Omega$ 之间。

[0027] 本实施方式所述电阻 $R_{11} \sim R_{18}$ 是高速 LVDS 解串器 218 输入端 219 的终端匹配电阻,主要是为了吸收负载反射信号的作用,同时此终端电阻来产生正常工作的差分电压,终端电阻最好使用精度为 1% 的电阻,电阻跨接在差分信号线上,并紧靠高速 LVDS 解串器 218 输入端,电阻 $R_{11} \sim R_{18}$ 的阻值相等,且阻值在 $50 \Omega \sim 60 \Omega$ 之间。

[0028] 本实施方式所述电容 $C_4 \sim C_7$ 是高速 LVDS 解串器 218 输入端的滤波电容,主要是为在环境干扰过大时,更好地滤掉 LVDS 信号的共模噪声,保证 LVDS 信号传输的完整性。电容 $C_4 \sim C_7$ 的容值相等,且容值在 $33\text{pF} \sim 100\text{pF}$ 之间。

[0029] 本实施方式所述的 LVDS 传输电缆的长度不大于 10m。

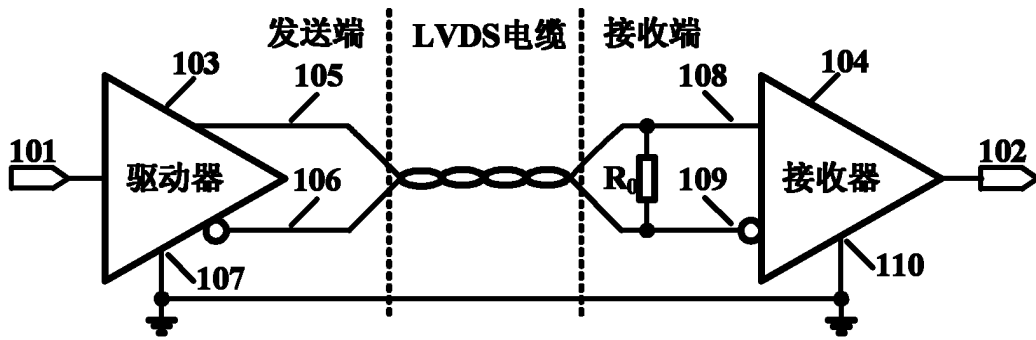


图 1

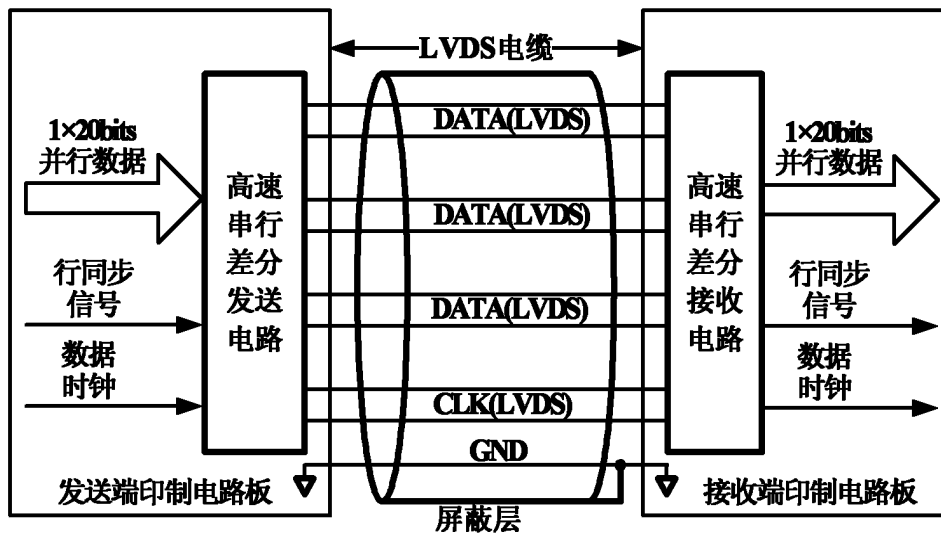


图 2

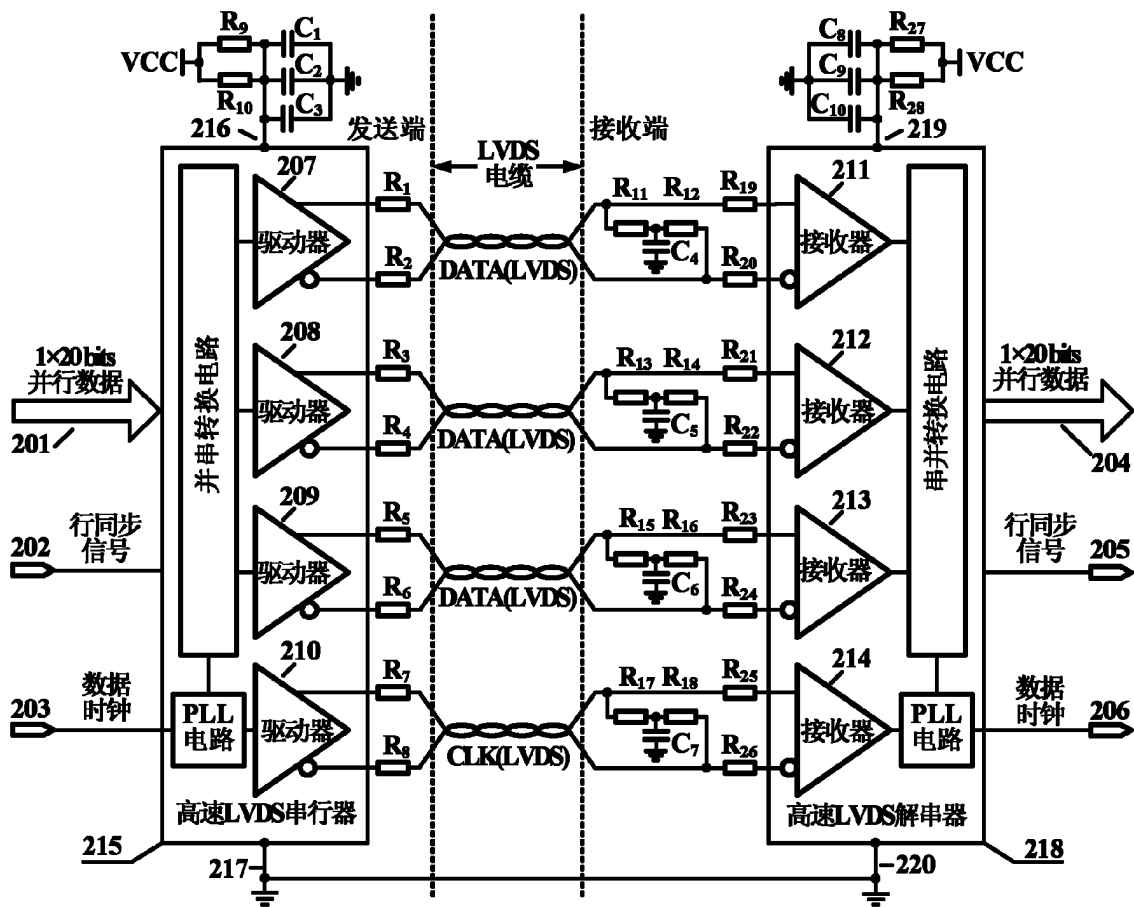


图 3

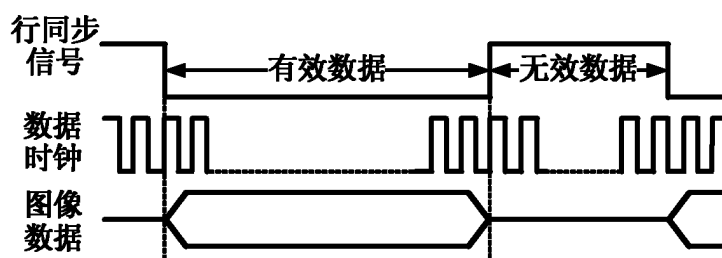


图 4