



(12) 发明专利申请

(10) 申请公布号 CN 102098562 A

(43) 申请公布日 2011. 06. 15

(21) 申请号 201010592741. 5

(22) 申请日 2010. 12. 17

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路  
3888 号

(72) 发明人 孙宏海 徐大鹏 王延杰

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 王淑秋

(51) Int. Cl.

H04N 21/43(2011. 01)

H04N 21/433(2011. 01)

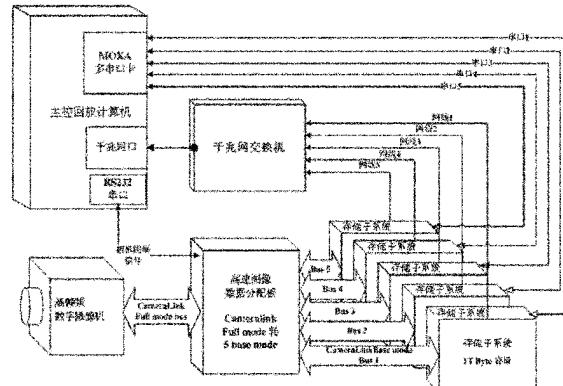
权利要求书 2 页 说明书 6 页 附图 3 页

(54) 发明名称

高速图像实时无损记录存储回放装置

(57) 摘要

本发明涉及一种高速图像实时无损记录存储回放装置，该装置包括 CameraLink 解码芯片、可编程逻辑器件、CameraLink 编码芯片、N 个存储子系统、千兆网交换机和主控回放计算机；通过 CameraLink 解码芯片导入的高帧频图像数据由可编程逻辑器件进行实时同步编码后分配为 N 路带有帧同步编码的图像数据，编码的图像数据通过 CameraLink 编码芯片存储到各个存储子系统后，再通过千兆网交换机导入主控回放计算机进行同一帧图像的解码合成，进行事后回放判读和处理。本发明能够将高帧频 CMOS 数字摄像机输出的高速图像数据进行长时间实时无损的存储记录，便于主控回放计算机进行事后回放判读和处理。



1. 一种高速图像实时无损记录存储回放装置,其特征在于包括高速图像数据分配板,N个存储子系统,千兆网交换机和主控回放计算机;所述的高速图像数据分配板包括CameraLink解码芯片、可编程逻辑器件、CameraLink编码芯片;高帧频数字摄像机输出的高帧频图像数据通过CameraLink编码芯片导入可编程逻辑器件中,由可编程逻辑器件对同一帧图像数据进行实时同步编码后分配为N路带有帧同步编码的图像数据;N路带有帧同步编码的图像数据分别通过CameraLink编码芯片存储到各个存储子系统;存储于各存储子系统的带有帧同步编码的图像数据通过千兆网交换机导入主控回放计算机进行同一帧图像的解码合成,合成后的高帧频图像由主控回放计算机进行事后回放判读和处理。

2. 根据权利要求1所述的高速图像实时无损记录存储回放装置,其特征在于所述的可编程逻辑器件包括数据转换模块,帧同步编码叠加模块;高帧频数字摄像机输出的图像数据通过CameraLink解码芯片传输到帧同步编码模块,由帧同步编码模块判断每帧图像的帧有效信号的起始时刻,在每帧图像的第一行图像数据前增加一行图像帧同步编码数据;每输入一帧图像,帧同步编码会自动加1后叠加在下一帧图像的第一行图像数据前;包含了帧同步编码数据的图像经过数据转换模块进行图像的多路平行分配转换,输出N路子图像;各路子图像通过CameraLink编码芯片存储到各存储子系统;各存储子系统存储的每路子图像的第一行数据中包含相同的帧同步编码数据。

3. 根据权利要求2所述的高速图像实时无损记录存储回放装置,其特征在于所述的高速图像数据分配板还包括RS232串口芯片、LVDS电平收发转换模块;所述的可编程逻辑器件还包括控制相机串行数据收发模块和串行数据解析控制模块;主控回放计算机通过RS232串口芯片发送高帧频数字摄像机控制命令给高速图像数据分配板,由高速图像数据分配板的RS232串口芯片进行接收后发送给可编程逻辑器件;可编程逻辑器件内部的串行数据解析控制模块对接收的控制命令进行解析,判断如果是控制高速图像数据分配板的命令则产生帧同步编码的控制信号并将其传输给帧同步编码叠加模块,如果是控制高帧频数字摄像机的数据,则通过控制相机串行数据发送模块和LVDS电平收发转换模块将该数据发送给高帧频数字摄像机。

4. 根据权利要求1、2或3任意一项权利要求所述的高速图像实时无损记录存储回放装置,其特征在于所述的存储子系统是以一个嵌入式处理器为核心的高速采集存储系统,该系统包括CameraLink Base mode输入接口、可编程逻辑阵列、静态随机存储器、嵌入式处理器系统、SATA磁盘阵列、SATA磁盘控制器、千兆以太网接口。通过CameraLink Base mode输入接口接收CameraLink编码的高速子图像数据,由CameraLink解码芯片解码后传输给可编程逻辑阵列;可编程逻辑阵列逻辑控制高速图像数据缓存到静态随机存储器后,再通过数据总线发送给嵌入式处理器系统;嵌入式处理器系统控制高速图像数据通过SATA磁盘控制器存储到SATA磁盘阵列;最后由嵌入式处理器系统访问SATA磁盘阵列,读出子图像,读出的子图像通过千兆以太网接口及千兆网交换机发送给主控回放计算机。

5. 根据权利要求4所述的高速图像实时无损记录存储回放装置,其特征在于所述的SATA磁盘阵列包含两个以上容量大于500GB的磁盘。

6. 根据权利要求1、2或3任意一项权利要求所述的高速图像实时无损记录存储回放装置,其特征在于所述的主控回放计算机读取各路存储子系统的子图像数据,判断各当前帧子图像的帧头,找到帧号;找出各当前帧子图像中帧号的最大值,如果某一路当前帧子图像

的帧号不是最大值，则进行下一帧子图像的读取，再进行帧号的比较，直到各路子图像的帧号相同，就找到需要合并图像的起始帧；将每路具有相同帧号的子图像按照存储分配的顺序进行合成，得到完整的图像数据。

## 高速图像实时无损记录存储回放装置

### 技术领域

[0001] 本发明属于高速数字视频存储技术领域，涉及一种能够将高帧频 CMOS(Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) 数字摄像机输出的高帧频数字图像实时无损记录存储回放的高速图像实时无损记录存储回放装置。

### 背景技术

[0002] 在机器视觉应用中，数字摄像机在捕获快速变化过程中起到越来越重要的作用，尤其以 CMOS 图像传感器作为光电转换元件的高帧频数字摄像机的优势更为显著。高帧频数字相机主要应用于高速运动和高速物体碰撞过程的记录测试。主要在汽车碰撞实验，安全带、安全气囊的研制，高速粒子场运动分析，火箭发射和飞机起落过程，高速工业检测等方面具有重要意义。高帧频数字摄像机在图像的显示、存储、处理上比传统胶片式高速摄影机更方便快捷，不论帧频速度、分辨率、还是动态范围都有很大提高。但随着高帧频数字摄像机的帧频不断提高，输出的数字视频的数据量非常大，并且传输带宽极高，对高速数字图像的存储增加了很大难度。

[0003] 目前大多高帧频数字摄像机，实时高速图像数据输出接口都采用标准的 Full 模式的 CameraLink 接口或其他的高速数字接口，如 1394 接口、千兆网、光纤接口等。这些接口需要和一些高级的图像采集卡连接或计算机集成的高速接口连接，将数据导入计算机中，然后才能记录、存储、处理和显示。由于计算机的内部总线带宽的限制和计算机存储介质的速度限制，直接被采集到计算机中的高速图像无法实时无损的记录存储下来。目前解决的方法有三种。一种方法是在高速相机内部加入大容量的动态存储器进行高速图像数据的实时缓存，当记录缓存器存储满了，再由相对低速接口，如 1394 接口、千兆网、USB 接口，将高速图像导入计算机中进行处理和回放；另一种方法是高速相机采用高速数字接口输出，如 CameraLink Full 模式接口，连接到计算机内部安装的 CameraLink 高速图像采集卡，高速图像采集卡本身集成了大容量的动态高速缓存或直接利用计算机主板上板载的内存进行高速图像的缓存，高速缓存采集完成后，再将缓存中的图像数据记录到计算机的硬盘中。第三种方法是高速数字图像由高速数字图像采集卡采集后，由计算机内部高速并行总线传送给磁盘阵列卡，由计算机内部的磁盘阵列进行高速的存储。由于前两种方法采用大容量高速动态缓存的方法进行高速数字图像的实时记录存储，由于相机内和板载的动态缓存的容量不是十分的大，一般几个 GB 到十几个 GB 的容量。由于高速数字相机的输出带宽一般都在几百 MB/s 以上，所以高速动态缓存只能记录很短时间范围的高速图像。第三种方法，由于还是要基于计算机内部并行总线来传输实时采集的高速图像数据，对高速图像的带宽和实时性还是有一定的制约。

### 发明内容

[0004] 本发明要解决的技术问题是提供一种能够将高帧频数字摄像机输出的高速图像数据进行长时间实时无损存储记录，再通过千兆网交换机回传到主控回放计算机中进行事

后回放判读和处理的高速图像实时无损记录存储回放装置。

[0005] 为了解决上述技术问题,本发明的高速图像实时无损记录存储回放装置包括高速图像数据分配板,N个存储子系统,千兆网交换机和主控回放计算机;所述的高速图像数据分配板包括CameraLink解码芯片、可编程逻辑器件、CameraLink编码芯片;高帧频数字摄像机输出的高帧频图像数据通过CameraLink编码芯片导入可编程逻辑器件中,由可编程逻辑器件对同一帧图像数据进行实时同步编码后分配为N路带有帧同步编码的图像数据;N路带有帧同步编码的图像数据分别通过CameraLink编码芯片存储到各个存储子系统;存储于各存储子系统的带有帧同步编码的图像数据通过千兆网交换机导入主控回放计算机进行同一帧图像的解码合成,合成后的高帧频图像由主控回放计算机进行事后回放判读和处理。

[0006] 所述的可编程逻辑器件包括数据转换模块,帧同步编码叠加模块;高帧频数字摄像机输出的图像数据通过CameraLink解码芯片传输到帧同步编码模块,由帧同步编码模块判断每帧图像的帧有效信号的起始时刻,在每帧图像的第一行图像数据前增加一行图像帧同步编码数据;每输入一帧图像,帧同步编码会自动加1后叠加在下一帧图像的第一行图像数据前;包含了帧同步编码数据的图像经过数据转换模块进行图像的多路平行分配转换,输出N路子图像;各路子图像通过CameraLink编码芯片存储到各存储子系统;各存储子系统存储的每路子图像的第一行数据中包含相同的帧同步编码数据。

[0007] 所述的高速图像数据分配板还包括RS232串口芯片、LVDS电平收发转换模块;所述的可编程逻辑器件还包括控制相机串行数据收发模块和串行数据解析控制模块;主控回放计算机通过RS232串口芯片发送高帧频数字摄像机控制命令给高速图像数据分配板,由高速图像数据分配板的RS232串口芯片进行接收后发送给可编程逻辑器件;可编程逻辑器件内部的串行数据解析控制模块对接收的控制命令进行解析,判断如果是控制高速图像数据分配板的命令则产生帧同步编码的控制信号并将其传输给帧同步编码叠加模块,如果是控制高帧频数字摄像机的数据,则通过控制相机串行数据发送模块和LVDS电平收发转换模块将该数据发送给高帧频数字摄像机。

[0008] 所述的存储子系统是以一个嵌入式处理器为核心的高速采集存储系统,该系统包括CameraLink Base mode输入接口、可编程逻辑阵列、静态随机存储器、嵌入式处理器系统、SATA磁盘阵列、SATA磁盘控制器、千兆以太网接口。通过CameraLink Base mode输入接口接收CameraLink编码的高速子图像数据,由CameraLink解码芯片解码后传输给可编程逻辑阵列;可编程逻辑阵列逻辑控制高速图像数据缓存到静态随机存储器后,再通过数据总线发送给嵌入式处理器系统;嵌入式处理器系统控制高速图像数据通过SATA磁盘控制器存储到SATA磁盘阵列;最后由嵌入式处理器系统访问SATA磁盘阵列,读出子图像,读出的子图像通过千兆以太网接口及千兆网交换机发送给主控回放计算机。

[0009] 所述的SATA磁盘阵列包含两个以上容量大于500GB的磁盘。

[0010] 所述的主控回放计算机读取各路存储子系统的子图像数据,判断各当前帧子图像的帧头,找到帧号;找出各当前帧子图像中帧号的最大值,如果某一路当前帧子图像的帧号不是最大值,则进行下一帧子图像的读取,再进行帧号的比较,直到各路子图像的帧号相同,就找到需要合并图像的起始帧;将每路具有相同帧号的子图像按照存储分配的顺序进行合成,得到完整的图像数据。

[0011] 高帧频 CMOS 数字摄像机输出的图像帧频很高,一般可以达到几百帧 / 秒,有的可以达到上千帧 / 秒。以常见的画幅分辨率为  $1280 \times 1024 @ 500\text{fps}$ , 像元位宽为 8bit 的高帧频相机为例,其实际输出带宽约为 5.3Gbps, 目前 Raid0SATA 高速磁盘阵列的有效存储带宽在 1.5Gbps 左右,因此要想存储高带宽的高帧频图像数据,可以采用多块硬盘平行存储的方式。本发明采用可编程逻辑器件对同一帧图像数据进行实时同步编码后分配为 N 路带有帧同步编码的图像数据, N 路带有帧同步编码的图像数据并行存储于各存储子系统的大容量磁盘阵列,能够将高帧频 CMOS 数字摄像机输出的高速图像数据进行长时间实时无损的存储记录;带有帧同步编码的图像数据由主控回放计算机进行同一帧图像的解码合成,便于进行事后回放判读和处理。目前设计中 5TB 存储容量可记录  $1280 * 1024 @ 500\text{fps}$  高速图像 100 分钟以上,实现了长时间的高速图像记录,便于武器验证过程的多次拍摄记录和长时间拍摄记录。本发明磁盘阵列可以通过升级更大容量的 SATA 硬盘,实现存储容量的进一步扩展,或采用新型的 FLASH 电子硬盘提高系统可靠性和存储带宽。

## 附图说明

- [0012] 下面结合附图和具体实施例对本发明做进一步详细地描述。
- [0013] 图 1 是本发明的高速图像实时无损记录存储回放装置的结构示意图。
- [0014] 图 2 是本发明中高速图像数据分配板的结构框图。
- [0015] 图 3 是本发明中可编程逻辑器件内部功能模块结构框图。
- [0016] 图 4 为存储子系统的结构框图。
- [0017] 图 5 为存储控制回放计算机下载后子图像的解码合并流程图。

## 具体实施方式

[0018] 如图 1 所示,本发明的高速图像实时无损记录存储回放装置包括高速图像数据分配板,N 个存储子系统,千兆网交换机和主控回放计算机。N 的取值主要根据 CameraLink 标准可以传递数据通道数决定,优选数值可以为 2、3、4、5、8 或 10。

[0019] 高帧频 CMOS 数字摄像机选用 Mikrotron 公司的 MC1362 相机,其最大画幅下帧频为  $504\text{fps} @ 1280 * 1024$ ,采用 CameraLink Full mode 接口输出。最高输出像素时钟为 75MHz,输出像素格式为每个像素时钟 8bit\*10pixels。

[0020] 如图 2 所示,高速图像数据分配板包括 3 片 CameraLink 解码芯片、可编程逻辑器件 (Laticce CPLD) 及 5 片 CameraLink 编码芯片。CameraLink 解码芯片通过输入连接器 MDR26 与高帧频数字摄像机连接, CameraLink 编码芯片通过输出连接器 MDR26 与存储子系统连接;3 片 CameraLink 解码芯片将高帧频数字摄像机传输的  $10 \times 8\text{bit}$  位宽的 CameraLink Full mode 格式图像数据导入高速可编程逻辑器件中,可编程逻辑器件 (Laticce CPLD) 对同一帧图像数据进行实时同步编码后,分配为 5 路带有帧编码的  $2 \times 8\text{bit}$  位宽的 CameraLink base mode 格式图像数据;可编程逻辑器件输出的 5 路图像数据分别由 5 片 CameraLink 编码芯片及 5 个输出连接器 MDR26 输出给各存储子系统。在高速图像数据中加入帧同步编码是为了在各个存储子系统保存不同部分图像的同时能够记录帧编码信息,在存储子系统存储的图像通过千兆网交换机导入主控回放计算机后,进行同一帧图像的解码合成,最终得到完整的高帧频图像。CameraLink 解码芯片采用型号为

DS90CR288A 的 28bit LVTTL 信号高速串行编码芯片, 可编程逻辑器件可以采用大规模复杂可编程逻辑器件, CameraLink 编码芯片采用型号为 DS90CR287 的 28bit LVTTL 信号高速串行编码芯片。

[0021] 所述的高速图像数据分配板还包括 RS232 串口芯片和 LVDS 电平收发转换模块; 主控回放计算机通过 RS232 串口连接器发送高帧频 CMOS 数字摄像机控制命令给分配板, 由分配板的 RS232 串口芯片进行接收后发送给可编程逻辑器件, 再由 LVDS 电平收发转换模块发送给高帧频 CMOS 数字摄像机。RS232 串口芯片采用 MAX232A, LVDS 电平收发转换模块的发送和接收芯片分别采用型号为 DS90LV047A 和 DS90LV048A 的 LVDS 电平转换芯片。

[0022] 如图 3 所示, 可编程逻辑器件包括帧同步编码叠加模块、数据转换模块、串行数据解析控制模块、控制相机串行数据收发模块; CameraLink Full mode 的图像数据由 CameraLink 解码芯片传输到可编程逻辑器件内部首先进入帧同步编码叠加模块, 帧同步编码叠加模块判断每帧图像的帧有效信号的起始时刻, 并在每帧图像的第一行图像数据前增加一行图像帧同步编码数据, 图像帧同步编码的帧号可以由主控回放计算机通过 RS232 串行接口设定, 为双 8bit 字节数据, 每输入一帧图像后帧同步编码数据会自动加 1 后叠加在下一帧图像数据前。包含了帧同步编码数据的图像再经过数据转换模块进行图像的多路平行分配转换, 最终将 5 路 CameraLink base mode 子图像分别通过 CameraLink 编码芯片存储到各存储子系统, 每路子图像的第一行数据中包含相同的帧同步编码数据。主控回放计算机通过 RS232 串口芯片发送给可编程逻辑器件的串行数据由串行数据解析控制模块进行解析, 如果是控制帧同步编码叠加模块的命令则产生帧同步编码的控制信号, 如果是控制高帧频 CMOS 数字摄像机的数据, 则将该数据通过控制相机串行数据收发模块及 LVDS 电平收发转换模块发送给高帧频 CMOS 数字摄像机。

[0023] 在高速图像数据分配板中加入 RS232 串口芯片, 由 RS232 串口芯片将高帧频 CMOS 数字摄像机输出的 LVDS 电平转换为 RS232 标准电平, 主控回放计算机通过计算机的 RS232 串口就可以控制高帧频 CMOS 数字摄像机。

[0024] 主控回放计算机可以通过千兆网交换机和 MOXA 多串口卡与各存储子系统通讯, 来读取各存储子系统录制的图像数据并控制各存储子系统开始和停止录制, 也可以通过 MOXA 多串口卡实时监视各存储子系统的录制状态和剩余容量, 并能够向存储子系统叠加存储信息, 如记录 GPS 位置、时间和任务编号等。

[0025] 如图 4 所示, 存储子系统是以一个嵌入式处理器为核心的高速采集存储系统, 该系统包括 CameraLink Base mode 输入接口、高性能的可编程逻辑阵列 FPGA、串口控制器、32MB 静态随机存储器、嵌入式处理器系统、SATA 磁盘控制器、SATA 磁盘阵列、千兆以太网接口。嵌入式处理器系统包括嵌入式处理器、处理器用 SDRAM(128MB SDRAM-Synchronous Dynamic Random Access Memory, 同步动态随机存储器) 和程序存储 FLASH。CameraLink 编码的高速子图像数据通过 CameraLink 接口芯片接收, 解码后传输给可编程逻辑阵列; 可编程逻辑阵列 FPGA 逻辑控制高速的图像数据缓存到 32MB 静态随机存储器后, 再通过高速数据总线发送给嵌入式处理器, 由嵌入式处理器控制通过 SATA 磁盘控制器存储到 SATA 磁盘阵列; 最后再由嵌入式处理器系统访问 SATA 磁盘阵列, 读出子图像, 子图像由千兆以太网接口发送给主控回放计算机。

[0026] 主控回放计算机是高帧频图像数据合成和回放的关键设备, 其功能通过 VC 编程

软件设计完成。存储控制和回放软件主要包括：高帧频摄像机控制功能，存储控制功能，图像千兆局域网下载功能，图像合成功能，高帧频任意帧频速率播放，图像增强处理功能和用户自定义判读分析处理模块。

[0027] 图像合成功能是本发明的软件设计核心内容，主要是对分配板进行帧同步编码的子图像数据进行帧同步解码后，将各路子图像按照一定的顺序进行合成。下载后子图像的解码合并流程如图 5 所示，首先读取第一路存储子系统的一帧子图像数据，判断帧头，找到帧号，也就是分配板叠加的帧同步编码。同样的过程找出其他各路子图像读取的当前帧的帧号信息，找出 5 个帧号的最大值，如果某一路子图像的帧号，不是最大值，进行其下帧图像的读取，再进行帧号的比较，直到 5 路子图像的帧号相同，就找到需要合并图像的起始帧，可以开始合并，将之后每路具有相同帧号的子图像按照存储分配的图像顺序进行合成，得到完整的图像数据。如果在同步合成过程中发现某一路子图像的帧同步编码丢失或错误，记录当前错误帧的帧号，然后继续合成之后的子图像。如果连续 100 帧没有找到相同帧号则合并图像停止，进行报错。

[0028] 高帧频 CMOS 数字摄像机采用 Mikrotron 公司的 MC1362 高帧频相机。高速图像数据分配板和存储子系统自行设计开发，存储子系统的 SATA 磁盘采用 Seagate 公司 ST3500418AS 的 500GB 硬盘 10 块，千兆网交换机采用 TP-link 公司 8port 千兆网交换机。主控回放计算机采用具有千兆网口的高性能图像处理工作站计算机，并在内部安装 MOXA 公司的 8port 串口卡和大容量硬盘。

[0029] 上述具体实施方式仅仅是为了对本发明作出详细说明而描述的优选的实施方式，但本发明不限于上述实施方式。例如，高速图像数据分配板中的 CameraLink 解码芯片、CameraLink 编码芯片还可以采用其他型号的解码芯片和编码芯片；存储子系统还可以采用其他本领域公知的一个处理器为核心的速度采集存储系统；主控回放计算机还可以采用其他高性能图像处理的计算机。因而凡是在本发明权利要求 1 基础上所作出的简单变形，均在本发明意图保护范围以内。

[0030] 目前，国外的高速数字相机大多采用数字相机内部大容量高速 RAM 缓存的方式来存储高帧频图像。本发明的超大容量高速图像实时无损存储系统采用多路 SATA 硬盘平行存储方式，极大提高了存储容量，可以长时间对高帧频拍摄过程进行实时无损的记录，国内外尚无采用该方式的高帧频大容量的存储装置。

[0031] CameraLink 接口广泛应用在工业相机和科学级相机数字视频输出和高速数字视频采集卡中，CameraLink 接口传输是以 National Semiconductor 公司的 Channel Link 接口技术为基础，基于 LVDS (Low Voltage Differential Signaling, 低压差分信号) 技术规范作为基本电气连接规范，将视频数据经过高速并行到串行协议编码后，通过 LVDS 通道直接传送到采集和存储设备上，减少了数模 - 模数的转换过程，因此有效消除传输中串扰噪声，而且使用 CameraLink 进行数据传输，信号没有衰减，图像能够无损的被传输采集。

[0032] CameraLink 接口标准中规定了 Base mode、Medium mode、Full mode 三种接口配置方式。Base mode 配置方式包括一片 28bit LVTTL 信号高速串行编码芯片和 LVDS 通信控制芯片，经由一个 MDR26 接口连接；Medium mode 配置方式包括两片 28bit LVTTL 信号高速串行编码芯片和 LVDS 通信控制芯片，经由两个 MDR26 接口连接；Full mode 配置方式包括三片 28bit LVTTL 信号高速串行编码芯片和 LVDS 通信控制芯片，经由两个 MDR26 接口连接；单

28bit LVTTL 信号高速串行编码芯片在最高 85MHz 像素时钟时的传输带宽达到 2.38Gbps，可配置成  $2 \times 8\text{bit} @ 75\text{MHz}$  时的传输带宽为 1.2Gbps。高帧频 CMOS 相机一般采用 Full mode 的 CameraLink 接口，一般配置为  $10 \times 8\text{bit}$ ，在像素时钟为 75MHz 时的传输宽为 6Gbps。

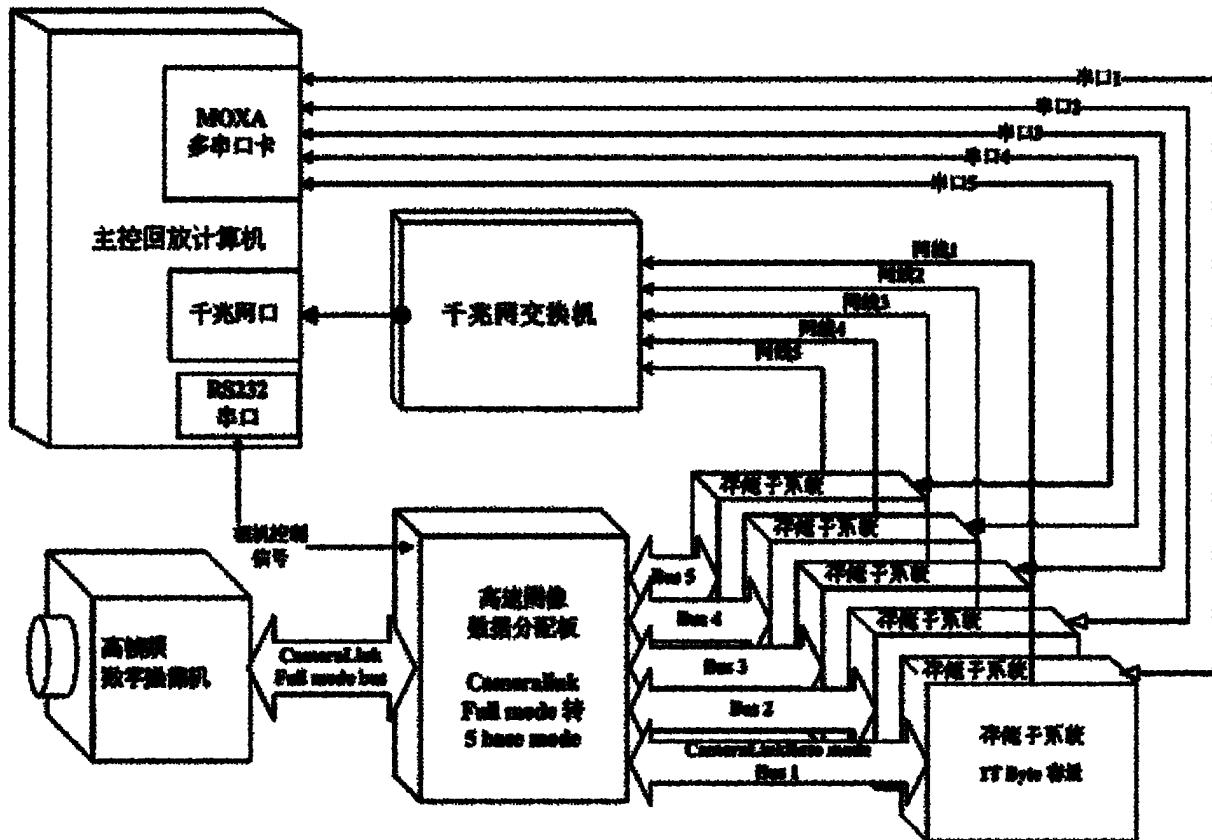


图 1

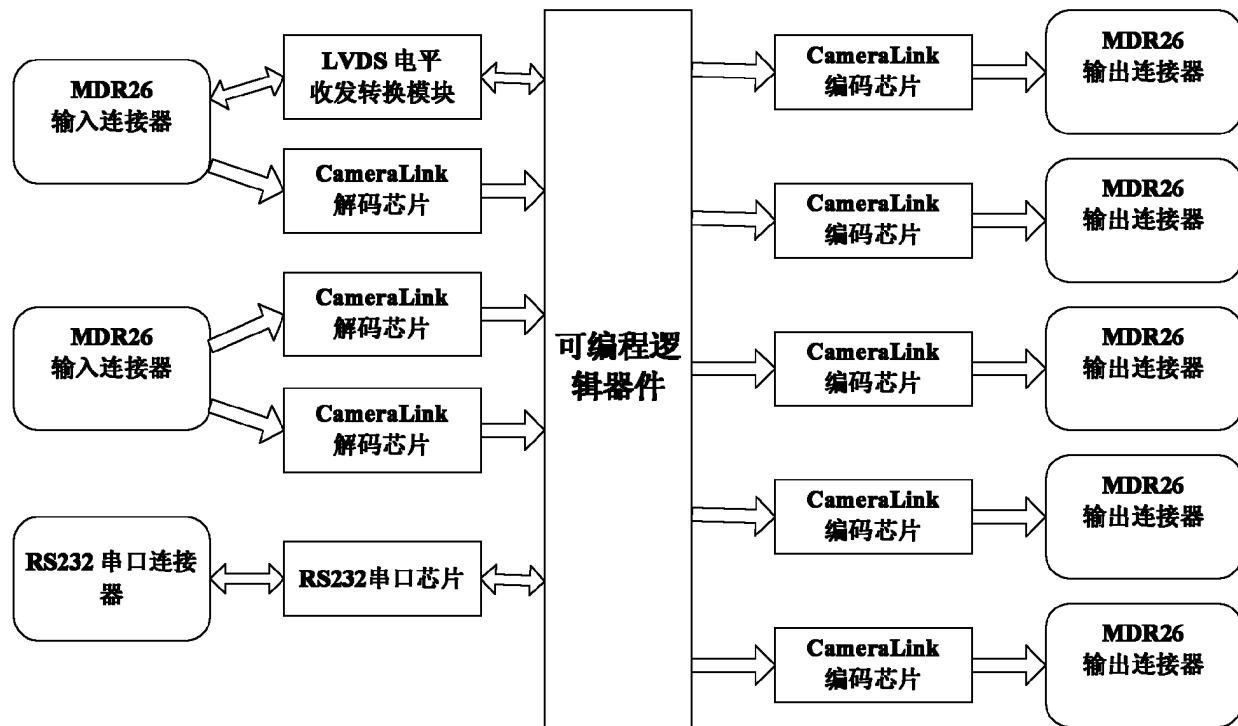


图 2

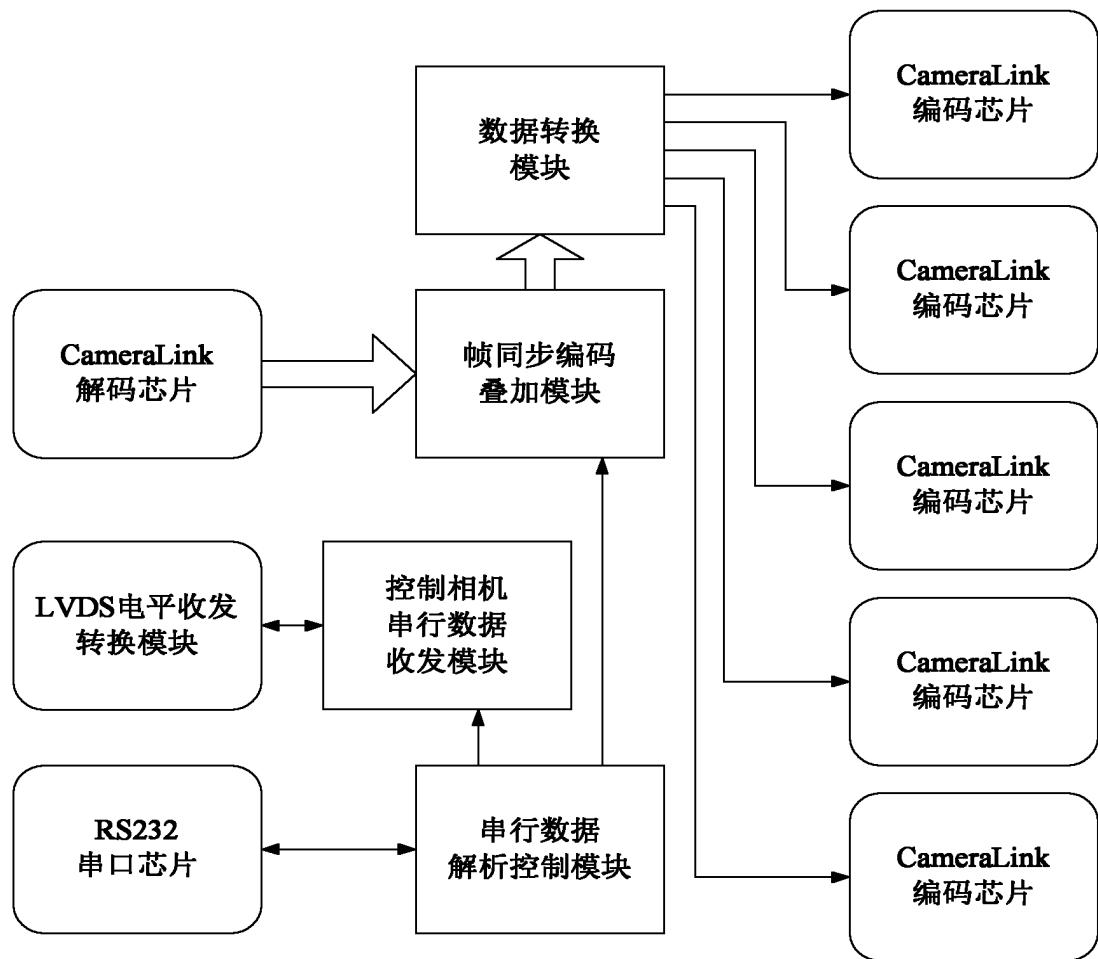


图 3

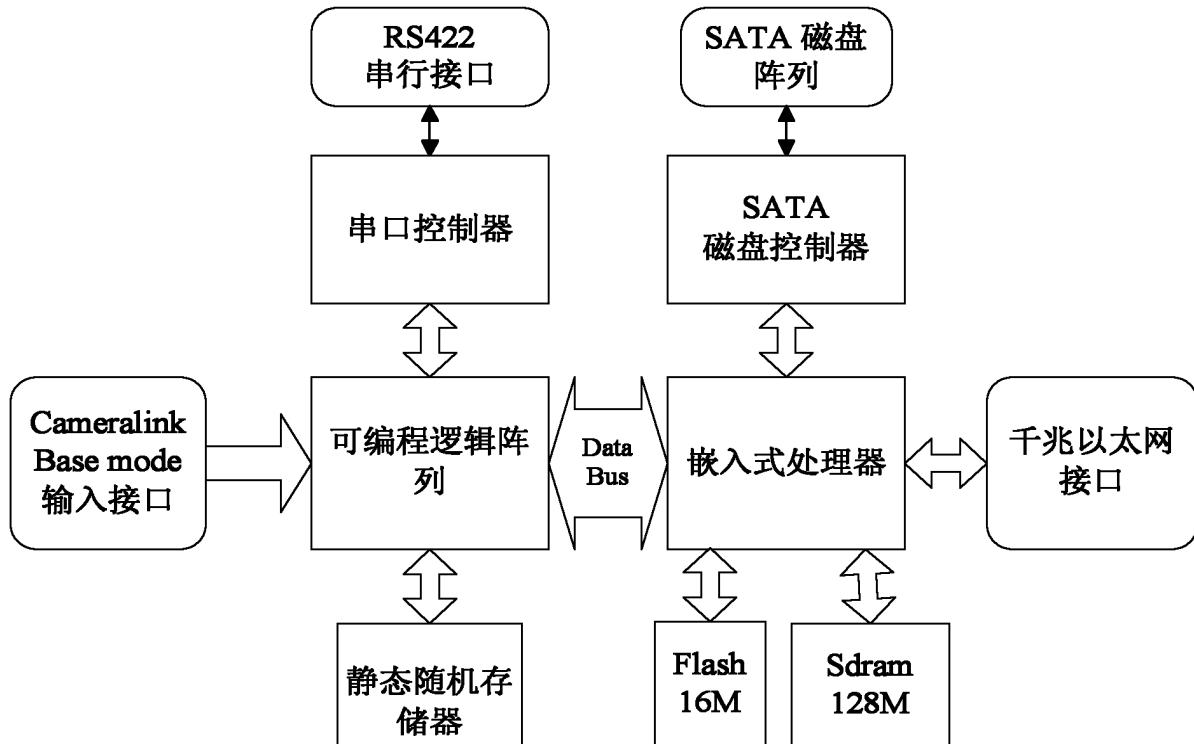


图 4

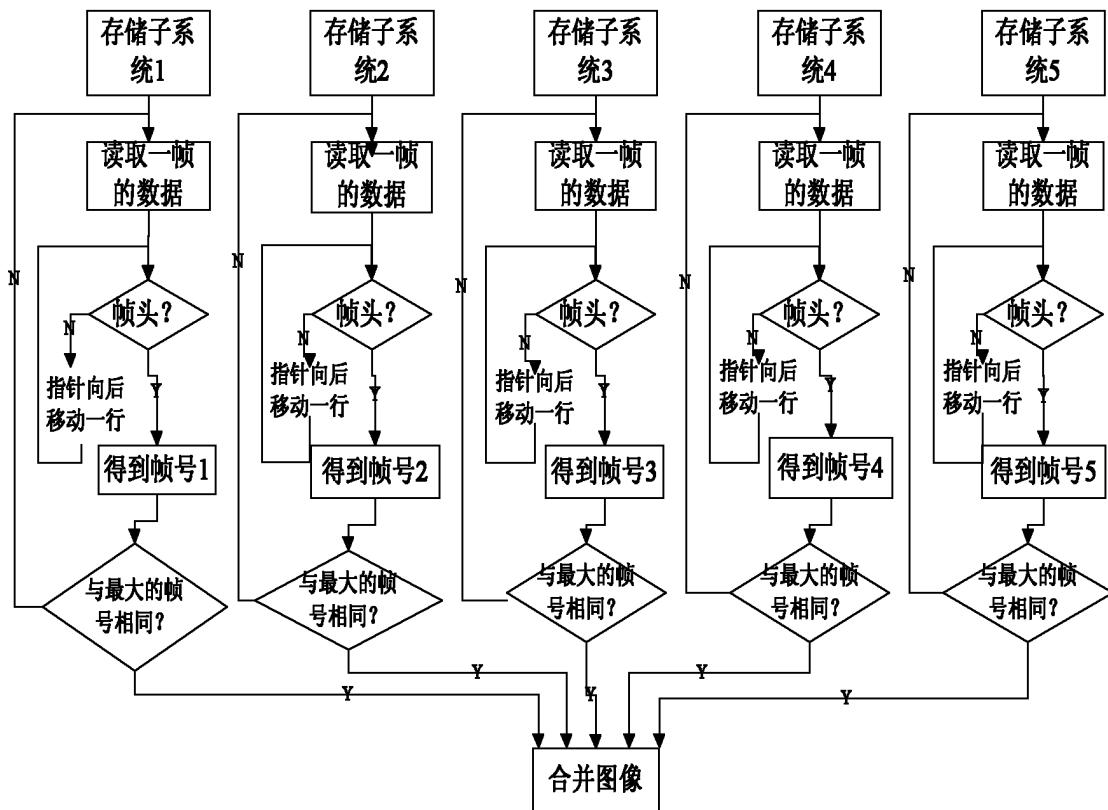


图 5