



(12) 发明专利申请

(10) 申请公布号 CN 102074003 A

(43) 申请公布日 2011.05.25

(21) 申请号 201010615552.5

(22) 申请日 2010.12.30

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 孙航

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 张伟

(51) Int. Cl.

G06T 7/00 (2006.01)

G06T 1/00 (2006.01)

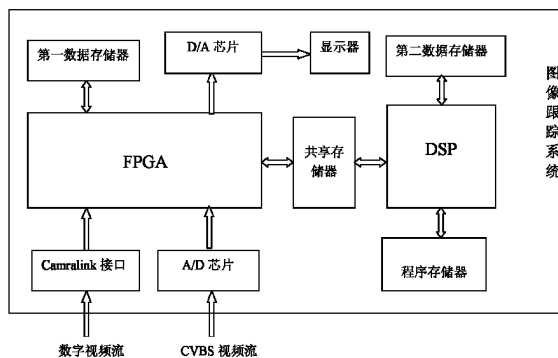
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

基于均值漂移的嵌入式图像跟踪系统

(57) 摘要

本发明涉及工业控制及识别领域,特别是一种基于均值漂移的嵌入式图像跟踪系统。本发明包括包括 Cameralink 接口、FPGA、第一数据存储器,共享存储器、DSP、第二存储器、程序存储器、A/D 芯片、D/A 芯片和显示器。本发明是以 FPGA 和 DSP 作为图像处理器的嵌入式硬件平台,在传统均值漂移技术的基础上,发明了适用于嵌入式处理器的均值漂移快速算法,并在 FPGA 上构建了专用的均值漂移算法的基本模块组,最后在 DSP 上进行主要运算和决策。使其运算速度远远大于传统的以 PC 机为硬件平台的均值漂移算法的运算速度。



1. 基于均值漂移的嵌入式图像跟踪系统,其特征在于,包括 CameraLink 接口、FPGA、第一数据存储器,共享存储器、DSP、第二存储器、程序存储器、A/D 芯片、D/A 芯片和显示器, CameraLink 接口与 FPGA 相连, CameraLink 接口将数字视频流传递给 FPGA ;A/D 芯片与 FPGA 相连, A/D 芯片将 CVBS 视频流传递给 FPGA ;FPGA 与第一数据存储器相连, FPGA 将处理后的视频数据传递给第一数据存储器进行存储 ;FPGA 与共享存储器相连, FPGA 将处理后的数据传递给共享存储器进行存储 ;DSP 与程序存储器相连, DSP 调用出程序存储器中存储的程序 ;DSP 与共享存储器相连,共享存储器将存储在其中的数据传递给 DSP ;DSP 与第二数据存储器相连, DSP 将处理后的数据传递给第二数据存储器 and 共享存储器进行存储 ;FPGA 与 D/A 芯片相连, FPGA 将共享存储器传递来的数据进行处理并传递给 D/A 芯片 ;D/A 芯片与显示器相连, D/A 芯片将处理后的视频数据传递给显示器进行显示。

2. 根据权利要求 1 所述的基于均值漂移的嵌入式图像跟踪系统,其特征在于,所说的 FPGA 及 DSP 的算法流程具体步骤如下 :

1)FPGA 设定 K 均值算法的迭代次数 K ;

2)FPGA 搜索位于 FPGA 候选子区域的每个像素直方图 ;

3)FPGA 计算未归一化的 FPGA 候选子区域上的目标直方图 $\sum_{u=1}^m q_u$, 得到

$$r_u = \frac{p_u}{\sum_{u=1}^m q_u}, \quad \text{其中 } q_u \text{ 表示目标模板的灰度分布, } p_u \text{ 表示候选目标的灰度分布 ;}$$

4)FPGA 计算候选目标区域的每个像素 $W_i = \sum_{n=1}^m r_u \delta_{ur} (i = 1 \dots n_h)$, 其中 W_i 表示每个像素的权重, δ_{ur} 表示像素直方图 ;

5)FPGA 计算新传递来的图像数据的新的中心位置 $z = (x, y)$;

6)FPGA 将计算出来的新传递来的图像数据的新的中心位置 $z = (x, y)$ 通过共享数据存储器传递给 DSP ;

7)DSP 对计算出来的中心位置 $z = (x, y)$ 进行误差检验

7. 1) 如果误差满足要求或者 FPGA 计算过程中的迭代次数超过 K, 则 DSP 计算结束, 将新的位置中心 $z = (x, y)$ 数据通过共享存储器传递给 FPGA, FPGA 将满足要求的图像数据通过 D/A 芯片传递给显示器, FPGA 及 DSP 的算法结束 ;

7. 2) 如果误差不满足要求或者 FPGA 计算过程中的迭代次数不超过 K, 则 DSP 将数据通过共享存储器传递给 FPGA, FPGA 重新设定迭代次数, 返回步骤 1)。

基于均值漂移的嵌入式图像跟踪系统

技术领域

[0001] 本发明涉及工业控制及识别领域,特别是一种基于均值漂移的嵌入式图像跟踪系统。

背景技术

[0002] 目前在计算机视觉与模式识别领域均值漂移技术作为一种基于特征的统计迭代算法得到了研究者的广泛关注。许多基于均值漂移的改进算法都在图像跟踪领域得到了广泛的应用,但大多数基于均值漂移算法的图像处理器都以 PC 机为硬件平台。以 PC 机为处理平台导致整个图像跟踪系统无法作到小型化并且造价昂贵。而嵌入式平台的图像跟踪处理器多以相对简单的型心算法,相关算法为主。以这些算法为基础的图像处理器,虽然能在简单背景下对目标进行实时有效的跟踪,但是不具备均值漂移算法的抗遮挡性,即稍有目标被遮挡的情况就会丢失目标,导致跟踪失效。因此,研制出一种新型的图像跟踪系统势在必行。

发明内容

[0003] 针对上述问题,为了解决现有技术的缺陷,本发明的目的就在于提供一种基于均值漂移的嵌入式图像跟踪系统,可以有效解决抗遮挡性差、成本高的问题。

[0004] 本发明解决技术问题采用的技术方案是,基于均值漂移的嵌入式图像跟踪系统,包括 Cameralink 接口、FPGA、第一数据存储器,共享存储器、DSP、第二存储器、程序存储器、A/D 芯片、D/A 芯片和显示器, Cameralink 接口与 FPGA 相连, Cameralink 接口将数字视频流传递给 FPGA ;A/D 芯片与 FPGA 相连, A/D 芯片将 CVBS 视频流传递给 FPGA ;FPGA 与第一数据存储器相连, FPGA 将处理后的视频数据传递给第一数据存储器进行存储 ;FPGA 与共享存储器相连, FPGA 将处理的后的数据传递给共享存储器进行存储 ;DSP 与程序存储器相连, DSP 调用出程序存储器中存储的程序 ;DSP 与共享存储器相连,共享存储器将存储在其中的数据传递给 DSP ;DSP 与第二数据存储器相连, DSP 将处理后的数据传递给第二数据存储器 and 共享存储器进行存储 ;FPGA 与 D/A 芯片相连, FPGA 将共享存储器传递来的数据进行处理并传递给 D/A 芯片 ;D/A 芯片与显示器相连, D/A 芯片将处理后的视频数据传递给显示器进行显示。

[0005] 本发明是以 FPGA 和 DSP 作为图像处理器的嵌入式硬件平台,在传统均值漂移技术的基础上,发明了适用于嵌入式处理器的均值漂移快速算法,并在 FPGA 上构建了专用的均值漂移算法的基本模块组,最后在 DSP 上进行主要运算和决策。使其运算速度远远大于传统的以 PC 机为硬件平台的均值漂移算法的运算速度。

附图说明

[0006] 图 1 是本发明的基于均值漂移的嵌入式图像跟踪系统的结构框图。

[0007] 图 2 是本发明的 FPGA 及 DSP 的算法流程图。

具体实施方式

[0008] 以下结合附图对本发明的具体实施方式作详细说明。

[0009] 由图 1 所示,基于均值漂移的嵌入式图像跟踪系统,其特征在于,包括 Cameralink 接口、FPGA、第一数据存储器,共享存储器、DSP、第二存储器、程序存储器、A/D 芯片、D/A 芯片和显示器, Cameralink 接口与 FPGA 相连, Cameralink 接口将数字视频流传递给 FPGA; A/D 芯片与 FPGA 相连, A/D 芯片将 CVBS 视频流传递给 FPGA;FPGA 与第一数据存储器相连, FPGA 将处理后的视频数据传递给第一数据存储器进行存储;FPGA 与共享存储器相连, FPGA 将处理后的数据传递给共享存储器进行存储;DSP 与程序存储器相连, DSP 调用出程序存储器中存储的程序;DSP 与共享存储器相连,共享存储器将存储在其中的数据传递给 DSP;DSP 与第二数据存储器相连, DSP 将处理后的数据传递给第二数据存储器 and 共享存储器进行存储;FPGA 与 D/A 芯片相连, FPGA 将共享存储器传递来的数据进行处理并传递给 D/A 芯片; D/A 芯片与显示器相连, D/A 芯片将处理后的视频数据传递给显示器进行显示。

[0010] 由图 2 所示,所说的 FPGA 及 DSP 的算法流程具体步骤如下:

[0011] 1)FPGA 设定 K 均值算法的迭代次数 K;

[0012] 2)FPGA 搜索位于 FPGA 候选子区域的每个像素直方图;

[0013] 3)FPGA 计算未归一化的 FPGA 候选子区域上的目标直方图 $\sum_{u=1}^m q_u$, 得到

$$q_u / \sum_{u=1}^m q_u, \quad r_u = \sqrt{\frac{p_u}{\sum_{u=1}^m q_u}}$$

其中 q_u 表示目标模板的灰度分布, p_u 表示候选目标的灰度分布;

[0014] 4)FPGA 计算候选目标区域的每个像素 $W_i = \sum_{n=1}^m r_u \delta_{ur} (i = 1 \dots n_h)$, 其中 W_i 表示每个像素的权重, δ_{ur} 表示像素直方图;

[0015] 5)FPGA 计算新传递来的图像数据的新的中心位置 $z = (x, y)$;

[0016] 6)FPGA 将计算出来的新传递来的图像数据的新的中心位置 $z = (x, y)$ 通过共享数据存储器传递给 DSP;

[0017] 7)DSP 对计算出来的中心位置 $z = (x, y)$ 进行误差检验

[0018] 7.1) 如果误差满足要求或者 FPGA 计算过程中的迭代次数超过 K, 则 DSP 计算结束, 将新的位置中心 $z = (x, y)$ 数据通过共享存储器传递给 FPGA, FPGA 将满足要求的图像数据通过 D/A 芯片传递给显示器, FPGA 及 DSP 的算法结束;

[0019] 7.2) 如果误差不满足要求或者 FPGA 计算过程中的迭代次数不超过 K, 则 DSP 将数据通过共享存储器传递给 FPGA, FPGA 重新设定迭代次数, 返回步骤 1)。

[0020] 本发明的中 DSP 为 MS320C6416T, FPGA 采用 ALTERA 公司 EP2C70-6; DSP 与 FPGA 的共享存储器采用 IDT71321 双端口 RAM, A/D 芯片采用 PHILIPS 公司的 BT835 专用视频解码芯片。

[0021] 在整个系统的硬件设计中充分考虑了高速信号的电磁兼容性设计, 在关键信号 (camralink 差分信号、SDRAM 数据信号) 的布线上进行了等长设计, 保证了各个信号的阻抗

匹配和时序同步。在整板设计上利用 allegro 软件对电磁兼容性进行了检测和调整,满足高速数字视频信号的应用需要。

[0022] 传统的均值漂移算法将目标区域的颜色空间均匀的划分成 $16*16*16$ 或者其它大小的子区间。这样换分所产生的直方图处理需要大量的内存空间。根本无法开发并行算法因此部适用于 FPGA 架构的硬件平台,本方案首先用均值聚类算法对目标的颜色模型进行聚类分析,然后通过混合高斯分布模型的拟合对目标区域的 RGB 空间进行自适应划分,将目标颜色空间划分成较少的直方图区间。这样可以用较少的子空间来准确的表达目标分布。

[0023] 在初始状态采用 K 均值算法 (K-means) 对于每一个聚类 $u (u = 1, \dots, m-1)$, 其中 $m-1$ 是聚类的个数,然后用多变量参数的高斯函数拟合每一个聚类中像素数据的分布

$$[0024] \quad G(\mu_u, \Sigma_u) \propto \exp \left[-\frac{1}{2} (c - \mu_u)^T \Sigma_u^{-1} (c - \mu_u) \right]$$

[0025] 式中, G 代表高斯函数, T 代表矩阵转置, c 代表像素 RGB 向量; μ_u 代表均值向量, Σ_u 代表协方差矩阵。

[0026] 程序初始化部分将 $m-1$ 个在 DSP 上计算好的均值向量 μ_u 和协方差矩阵 Σ_u 存储到 DSP 与 FPGA 之间的双端口 RAM 上,当新一帧图像到来时选择当前目标所在区域的一个子图像;这个子图像的中心就是上一帧跟踪目标的中心,子图像的大小为上一帧跟总目标大小的 2 倍。然后将该子图像的所有 RGB 值传输到双端口 RAM 上进行存储。

[0027] 算法流程中 FPGA 中利用移位寄存器实现图像数据的加和运算,运算采用流水线设计,其单位运算时间可以缩短到 16 个机器时钟周期。利用 FPGA 的大面积特性,可以实现多个线程块同时独立处理单独的子直方图。同时在 FPGA 中采用时序控制模块,精确配置双端口 RAM 的读写信号,即做到了 FPGA 和 DSP 同时共享数据存储器,又防止了共享数据区的读写冲突。

[0028] DSP 读取共享内存的图像数据采用 EDMA 读写方式,使核心处理器不用管理数据的读写操作在 EDMA 管理器给出传输完成中断时通知 CPU 进行数据更新,最大限度的利用 CPU 资源进行运算操作,提高了数据吞吐能力和大数据量运算能力。

[0029] 在外围图像 A/D 芯片的管理上采用 I2C 总线技术,并用 FPGA 状态机进行实现,使系统可同时支持模拟和数字视频,扩展了系统的通用性。

[0030] 本发明是以 FPGA 和 DSP 作为图像处理器的嵌入式硬件平台,在传统均值漂移技术的基础上,发明了适用于嵌入式处理器的均值漂移快速算法,并在 FPGA 上构建了专用的均值漂移算法的基本模块组,最后在 DSP 上进行主要运算和决策。使其运算速度远远大于传统的以 PC 机为硬件平台的均值漂移算法的运算速度。

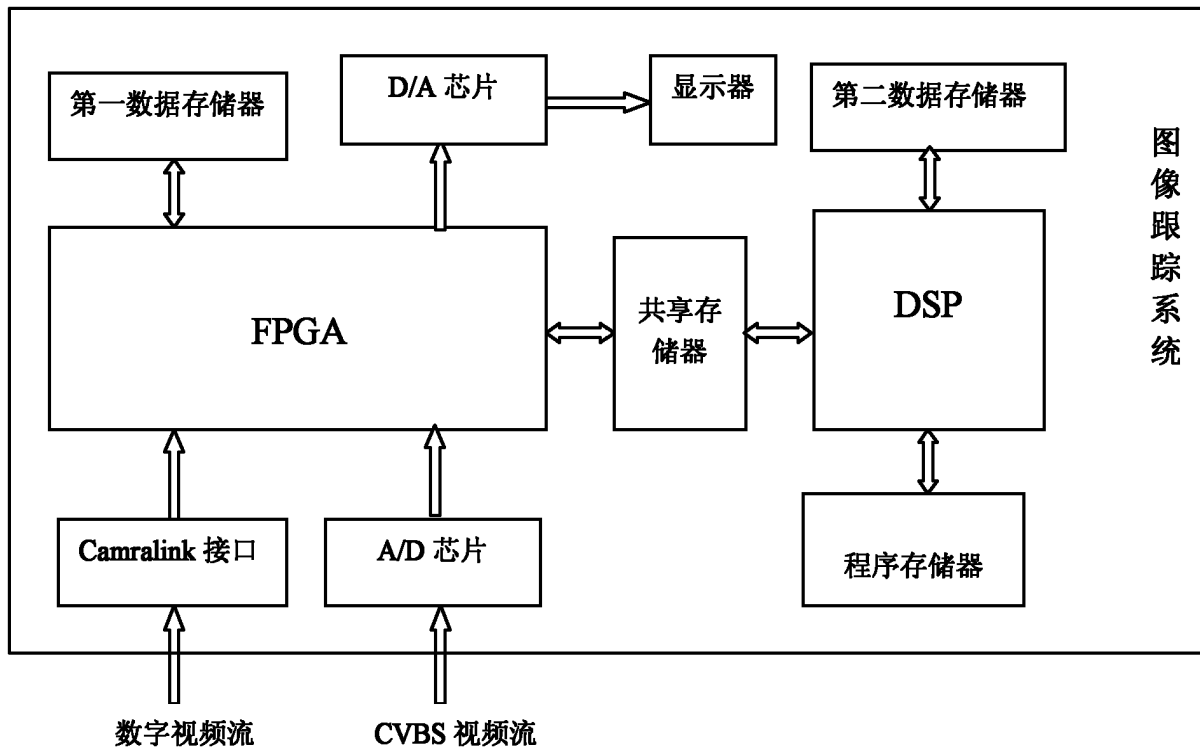


图 1

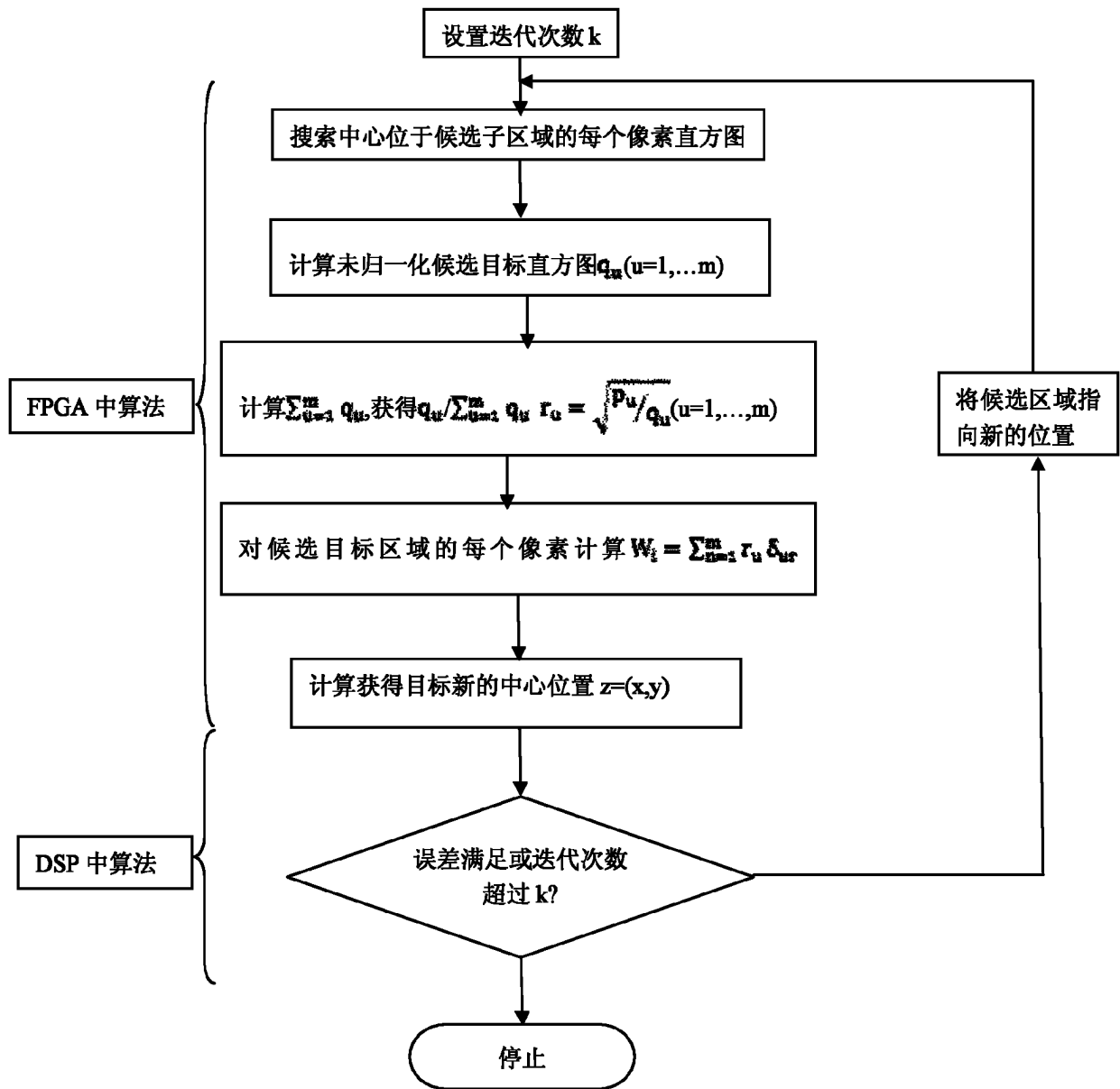


图 2