



(12) 发明专利申请

(10) 申请公布号 CN 102005173 A

(43) 申请公布日 2011.04.06

(21) 申请号 201010603119.X

(22) 申请日 2010.12.24

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 陈一仁 宋航 蒋红 缪国庆
李志明 黎大兵 孙晓娟

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 张伟

(51) Int. Cl.

G09G 3/20 (2006.01)

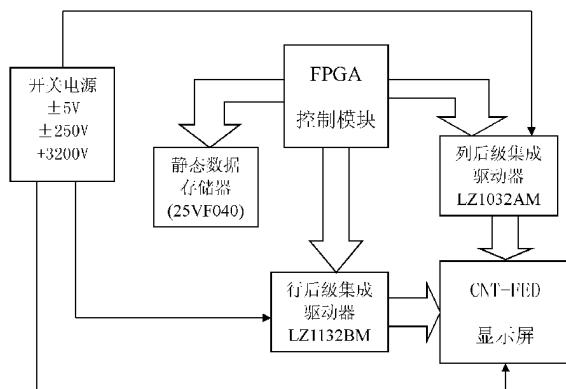
权利要求书 2 页 说明书 4 页 附图 3 页

(54) 发明名称

一种三极结构碳纳米管场致发射显示器的集成驱动电路

(57) 摘要

本发明属于新型平板显示器制造领域，涉及一种三极结构碳纳米管场致发射显示器的集成驱动电路，包含 FPGA 控制单元、行后级集成驱动单元、列后级集成驱动单元、静态数据存储单元和电源模块单元；FPGA 控制单元通过单元控制信号访问静态数据存储单元；FPGA 控制单元分别对行后级集成驱动单元和列后级集成驱动单元进行控制，行后级集成驱动单元按逐行扫描方式输出负高压脉冲给 CNT-FED 的阴极，静态数据存储单元中相应的图像数据被送到列后级集成驱动单元产生列驱动高压脉冲给 CNT-FED 的栅极。由于驱动电路的集成化，使得整个驱动电路简单可靠，同时应用 FPGA 控制单元控制时序，灵活方便，扩展性强。



1. 一种三极结构碳纳米管场致发射显示器的集成驱动电路,其特征在于,包含 FPGA 控制单元、行后级集成驱动单元、列后级集成驱动单元、静态数据存储单元和电源模块单元;FPGA 控制单元通过单元控制信号访问静态数据存储单元;FPGA 控制单元分别对行后级集成驱动单元和列后级集成驱动单元进行控制,行后级集成驱动单元按逐行扫描方式输出负高压脉冲给 CNT-FED 的阴极,静态数据存储单元中相应的图像数据被送到列后级集成驱动单元产生列驱动高压脉冲给 CNT-FED 的栅极。

2. 根据权利要求 1 所述的一种三极结构碳纳米管场致发射显示器的集成驱动电路,其特征在于,所述的 FPGA 控制单元对行后级集成驱动单元的控制是通过串行数据输入端 D_{in} 、串行移位数据时钟 \overline{CLK} 、数据锁存选通 \overline{LS} 、锁存数据输出端 \overline{STB} 来实现的,所述行后级集成驱动单元信号线与 FPGA 控制单元之间由光电耦合器进行光电隔离和数据传输。

3. 根据权利要求 1 所述的一种三极结构碳纳米管场致发射显示器的集成驱动电路,其特征在于,所述的行后级集成驱动单元由 8 片包含 32 通道 P 型沟道高压 MOS 芯片,型号为 LZ1132BM 级联完成,通过 FPGA 控制单元控制 240 行逐行扫描输出,FPGA 控制单元控制信号线与 LZ1132BM 芯片之间通过光电耦合器进行光电隔离和数据传输。

4. 根据权利要求 3 所述的一种三极结构碳纳米管场致发射显示器的集成驱动电路,其特征在于,所述的 LZ1132BM 芯片的级联是由第一块芯片的数据输出端 D_{out} 与同它邻近的第二块芯片的数据输入端 D_{in} 连接,第二块芯片的数据输出端 D_{out} 与同它邻近的第三块芯片的数据输入端 D_{in} 连接,以此类推第七块芯片的数据输出端 D_{out} 与第八块芯片的数据输入端 D_{in} 连接;串行移位数据时钟 \overline{CLK} 、数据锁存选通 \overline{LS} 、锁存数据输出端 \overline{STB} 都是所有行芯片共用。

5. 根据权利要求 1 所述的一种三极结构碳纳米管场致发射显示器的集成驱动电路,其特征在于,所述的 FPGA 控制单元对列后级集成驱动单元的控制是通过串行数据输入端 $\overline{D_{in}}$ 、串行移位数据时钟 CLK 、数据锁存选通 LS 、锁存数据输出端 STB 来实现的,所述列后级集成驱动单元信号线与 FPGA 控制单元之间由光电耦合器进行光电隔离和数据传输。

6. 根据权利要求 1 所述的一种三极结构碳纳米管场致发射显示器的集成驱动电路,其特征在于,所述的列后级集成驱动单元由 10 片包含 32 通道 N 型沟道高压 MOS 芯片,型号为 LZ1132AM 级联完成,通过 FPGA 控制单元控制 LZ1032AM 输出列数据,FPGA 控制单元控制信号线与 LZ1032AM 芯片之间通过光电耦合器进行光电隔离和数据传输。

7. 根据权利要求 6 所述的一种三极结构碳纳米管场致发射显示器的集成驱动电路,其特征在于,所述的 LZ1032AM 芯片的级联是由第一块芯片的数据输出端 $\overline{D_{out}}$ 与同它邻近的第二块芯片的数据输入端 $\overline{D_{in}}$ 连接,第二块芯片的数据输出端 $\overline{D_{out}}$ 与同它邻近的第三块芯片的数据输入端 $\overline{D_{in}}$ 连接,以此类推第九块芯片的数据输出端 $\overline{D_{out}}$ 与第十块芯片的数据输入端 $\overline{D_{in}}$ 连接;串行移位数据时钟 CLK 、数据锁存选通 LS 、锁存数据输出端 STB 都是所有列芯片共用。

8. 根据权利要求 1 所述的一种三极结构碳纳米管场致发射显示器的集成驱动电路,其特征在于,所述的静态数据存储单元包含 SPI 总线结构的闪存芯片,型号为 SST25VF040B,

静态数据存储单元通过 SPI 总线与 FPGA 控制单元进行通讯。

9. 根据权利要求 1 所述的一种三极结构碳纳米管场致发射显示器的集成驱动电路，其特征在于，所述电源模块为行后级集成驱动单元和列后级集成驱动单元提供所需电压，并提供 +3200V 的高压给 CNT-FED 的阳极，实现完整的静态图像显示。

一种三极结构碳纳米管场致发射显示器的集成驱动电路

技术领域

[0001] 本发明属于新型平板显示器制造领域,涉及一种三极结构碳纳米管场致发射显示器 (Carbon NanoTube-Field Emission Display, CNT-FED) 的集成驱动电路。

背景技术

[0002] 场致发射显示器 (Field Emission Display, FED) 是目前平板显示器 (FlatPanel Display, FPD) 领域中较为新型的一种,由于其发光原理与阴极射线管 (Cathode Ray Tube, CRT) 完全一样,在具备 CRT 自身优点的同时又克服了 CRT 固有的缺点,CRT 显示器是靠电子束激发屏幕内表面的荧光粉来显示图像的,由于荧光粉被点亮后很快会熄灭,所以电子枪必须循环地不断激发这些点。屏幕分辨率越高,需要扫描的点数就越多,对电子枪扫描频率的要求就更高,视频带宽也因此需要提高。一般来说,CRT 显示器工作频率范围在电路设计时就已经固定了,主要取决于高频放大大部分元件的特性,由于高频电路的设计相对困难,因此成本也较高,同时还会产生一定的辐射。CRT 显示器和它的场频有密切的关系。当场频过低时,人眼会感觉到屏幕有明显的闪烁,图像稳定性差,容易造成眼睛疲劳。

发明内容

[0003] 针对上述情况,为了解决现有技术的缺陷,本发明的目的在于提供一种能有效解决体积重量大、辐射强、功耗大、图像稳定性差的驱动电路。

[0004] 本发明解决技术问题采用的技术方案如下:

[0005] 一种三极结构碳纳米管场致发射显示器的集成驱动电路,包含 FPGA 控制单元、行后级集成驱动单元、列后级集成驱动单元、静态数据存储单元和电源模块单元;FPGA 控制单元通过单元控制信号访问静态数据存储单元;FPGA 控制单元分别对行后级集成驱动单元和列后级集成驱动单元进行控制,行后级集成驱动单元按逐行扫描方式输出负高压脉冲给 CNT-FED 的阴极,静态数据存储单元中相应的图像数据被送到列后级集成驱动单元产生列驱动高压脉冲给 CNT-FED 的栅极。

[0006] 本发明的有益效果是:1、行扫描采用负电压与列数据采用正电压相结合的驱动方式,减弱了极间串扰,提高了显示均匀性;2、采用高压集成芯片 LZ1132BM 实现行扫描,可将 -5V 小信号放大成 -300V、-45mA 的高压脉冲,而列高压集成芯片 LZ1032AM,可将 5V 小信号放大成 300V、45mA 的高压信号,这种集成驱动方式的结合,方便易行,可靠性高,完全能够满足 CNT-FED 的驱动要求;3、驱动电路集成化,提高了电路的工作效率,降低了电源模块的输出功率;4、采用 FPGA 控制单元控制时序,灵活方便,可扩展性强,适用于更高分辨率的 CNT-FED;5、三极结构 CNT-FED 阳极高压 (+3200V) 的使用,使显示亮度和均匀性大大提高。

附图说明

[0007] 图 1 是本发明的一种三极结构碳纳米管场致发射显示器的集成驱动电路的整体方框图。

[0008] 图 2 是本发明的一种三极结构碳纳米管场致发射显示器的集成驱动电路的电路原理图。

[0009] 图 3 是本发明的一种三极结构碳纳米管场致发射显示器的集成驱动电路访问静态数据存储器 SST25VF040B 的应用时序图。

[0010] 图 4 是本发明的一种三极结构碳纳米管场致发射显示器的集成驱动电路行后级集成驱动芯片 LZ1132BM 的级联图。

[0011] 图 5 是本发明的一种三极结构碳纳米管场致发射显示器的集成驱动电路行后级集成驱动单元的应用时序图。

[0012] 图 6 是本发明的一种三极结构碳纳米管场致发射显示器的集成驱动电路列后级集成驱动芯片 LZ1032AM 的级联图。

[0013] 图 7 是本发明的一种三极结构碳纳米管场致发射显示器的集成驱动电路列后级集成驱动单元的应用时序图。

具体实施方式

[0014] 以下结合附图对本发明的具体实施方式作详细说明。

[0015] 如图 1 所示，一种三极结构碳纳米管场致发射显示器的集成驱动电路，包含 FPGA 控制单元、行后级集成驱动单元、列后级集成驱动单元、静态数据存储单元和电源模块单元；FPGA 控制单元通过单元控制信号访问静态数据存储单元；FPGA 控制单元分别对行后级集成驱动单元和列后级集成驱动单元进行控制，行后级集成驱动单元按逐行扫描方式输出负高压脉冲给 CNT-FED 的阴极，静态数据存储单元中相应的图像数据被送到列后级集成驱动单元产生列驱动高压脉冲给 CNT-FED 的栅极。

[0016] 上述的 FPGA 控制单元对行后级集成驱动单元的控制是通过串行数据输入端 (D_{in})、串行移位数据时钟 (\overline{CLK})、数据锁存选通 (\overline{LS})、锁存数据输出端 (\overline{STB}) 来实现的，行后级集成驱动单元信号线与 FPGA 控制单元之间由光电耦合器进行光电隔离和数据传输。

[0017] 上述的行后级集成驱动单元由 8 片包含 32 通道 P 型沟道高压 MOS 芯片，型号为 LZ1132BM 级联完成，通过 FPGA 控制单元控制 240 行逐行扫描输出，FPGA 控制单元控制信号线与 LZ1132BM 芯片之间通过光电耦合器进行光电隔离和数据传输。

[0018] 上述的 LZ1132BM 芯片的级联是由第一块芯片的数据输出端 (D_{out}) 与同它邻近的第二块芯片的 D_{in} 连接，第二块芯片的 D_{out} 与同它邻近的第三块芯片的 D_{in} 连接，以此类推第七块芯片的 D_{out} 与第八块芯片的 D_{in} 连接； \overline{CLK} 、 \overline{LS} 、 \overline{STB} 都是所有行芯片共用。

[0019] 上述的 FPGA 控制单元对列后级集成驱动单元的控制是通过串行 \overline{D}_{in} 、 \overline{CLK} 、 \overline{LS} 、 \overline{STB} 来实现的，所述列后级集成驱动单元信号线与 FPGA 控制单元之间由光电耦合器进行光电隔离和数据传输。

[0020] 上述的列后级集成驱动单元由 10 片包含 32 通道 N 型沟道高压 MOS 芯片，型号为 LZ1032AM 级联完成，通过 FPGA 控制单元控制 LZ1032AM 输出列数据，FPGA 控制单元控制信号线与 LZ1032AM 芯片之间通过光电耦合器进行光电隔离和数据传输。

[0021] 上述的 LZ1032AM 芯片的级联是由第一块芯片的 \overline{D}_{out} 与同它邻近的第二块芯片的

D_{in} 连接, 第二块芯片的 D_{out} 与同它邻近的第三块芯片的 D_{in} 连接, 以此类推第九块芯片的 D_{out} 与第十块芯片的 D_{in} 连接; CLK、LS、STB 都是所有列芯片共用。

[0022] 上述的静态数据存储单元包含 SPI 总线结构的闪存芯片, 型号为 SST25VF040B, 静态数据存储单元通过 SPI 总线与 FPGA 控制单元进行通讯。

[0023] 上述电源模块为行后级集成驱动单元和列后级集成驱动单元提供所需电压, 并提供 +3200V 的高压给 CNT-FED 的阳极, 实现完整的静态图像显示。

[0024] 图 2 是图 1 的电路原理图, 采用 SST25VF040B 作为静态数据存储器, LZ1132BM 芯片组成行后级集成驱动单元, LZ1032AM 芯片组成列后级集成驱动单元。为了说明本发明的具体实施过程, 我们以 8 英寸单色 320×240 的三极结构 CNT-FED 显示屏为例: 静态数据存储单元, 其功能是预先保存用于三极结构 CNT-FED 显示的图像数据。对于单色 320×240 的一幅图片, 其数据量为 9600 字节, FPGA 控制单元通过 SPI 总线, 在串行时钟 (SCK) 控制下, 读取从 0000H 到 2580H 地址的数据。本实施例中, 数据读取过程如图 3 所示: FPGA 控制输出低电平 (\overline{CE}), 在 SCK 控制下, 先在输入端 (SI) 按位输入一个字节的读取命令字, 然后按位输入 24 位地址 (000000H), 存储的数据将在输出端 (SO) 移位输出, 读完一个地址上的数据, 地址自动增一, 直到读完所需要的数据, 整个读取过程, 应保持 \overline{CE} 低电平。从数据存储单元中取出的数据通过光电隔离器传输到列后级集成驱动单元。列后级集成驱动单元在 CLK 作用下, 逐位移入 LZ1032AM 移位寄存器中。如图 6 所示, 第一块芯片的 D_{in} 由 FPGA 控制单元控制, 后面每块芯片的 D_{in} 与前一块芯片的 D_{out} 连接, 数据在 CLK 控制下, 逐位移动。共用信号线如 LS、STB 由 FPGA 控制单元控制产生。如图 7 所示, 本实施例中一行数据需要 320 个移位时钟, 等输入完一行数据后, FPGA 控制单元控制 LS、STB 进行数据锁存和选通, 它的输出端输出相应的高压脉冲信号送至 CNT-FED 显示屏的栅极。与此同时, 行后级集成驱动单元输出的逐行扫描的负高压脉冲信号送到三极结构 CNT-FED 显示屏相应的阴极引线电极上。本发明中使用行集成驱动器 LZ1132BM 构成行后级驱动电路。本实施例中需要 240 行, 而每块 LZ1132BM 集成芯片有 32 路输出, 因此采用 8 片级联构成。行集成驱动单元如图 4 所示, 共用的 \overline{CLK} 、 \overline{LS} 、 \overline{STB} 由 FPGA 控制单元产生, 芯片间的级联由前一块芯片的串行数据 D_{out} 和后一块芯片的串行数据 D_{in} 相连接, 数据在各个芯片中串行传送。如图 5 所示, 一个行周期高电平有效的数据先从第一片 LZ1132BM 的 D_{in} 输入, 其后其余芯片由前一芯片的 D_{out} 与后一片 LZ1132BM 的 D_{in} 级联传送信号, 在 240 个行扫描时钟 \overline{CLK} 的作用下, 一个行周期有效的扫描数据电平经 LZ1132BM, 从第一个输出端依次移位到第 240 个输出端, 逐行输出 -250V 高压, 实现逐行负高压选通。这样一行接一行的数据顺序被锁存输出, 逐行选通, 直到整个画面数据输出完成。电源模块提供各部分电路所需的电压, 根据三级结构 CNT-FED 显示要求, 分别提供 $\pm 5V$ 、 $\pm 250V$ 及 +3200V 的直流电压。

[0025] 本发明能准确均匀的在碳纳米管 FED 显示屏上显示出静态图像; 集成化设计降低了电路结构的复杂性, 实现了 8 英寸 (分辨率 320×240) 的三极结构单色 CNT-FED 的驱动控制。本发明减弱了极间串扰, 提高了显示均匀性, 集成驱动方式的结合, 方便易行, 可靠性高, 完全能够满足 CNT-FED 的驱动要求; 提高了电路的工作效率, 降低了电源模块的输出功率; 灵活方便, 可扩展性强, 适用于更高分辨率的 CNT-FED 显示屏, 使显示亮度和均匀性大

大提高。

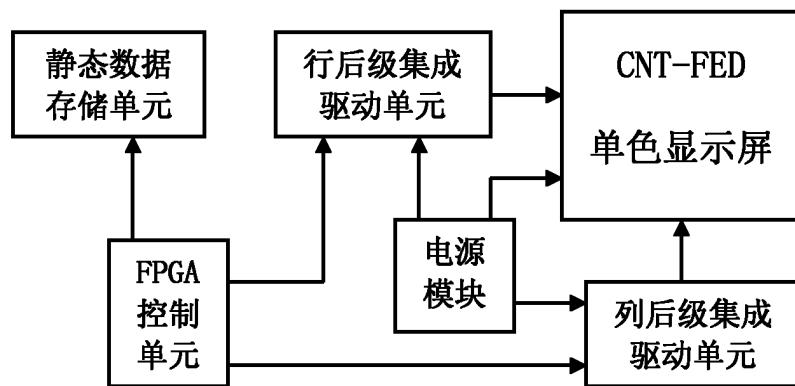


图 1

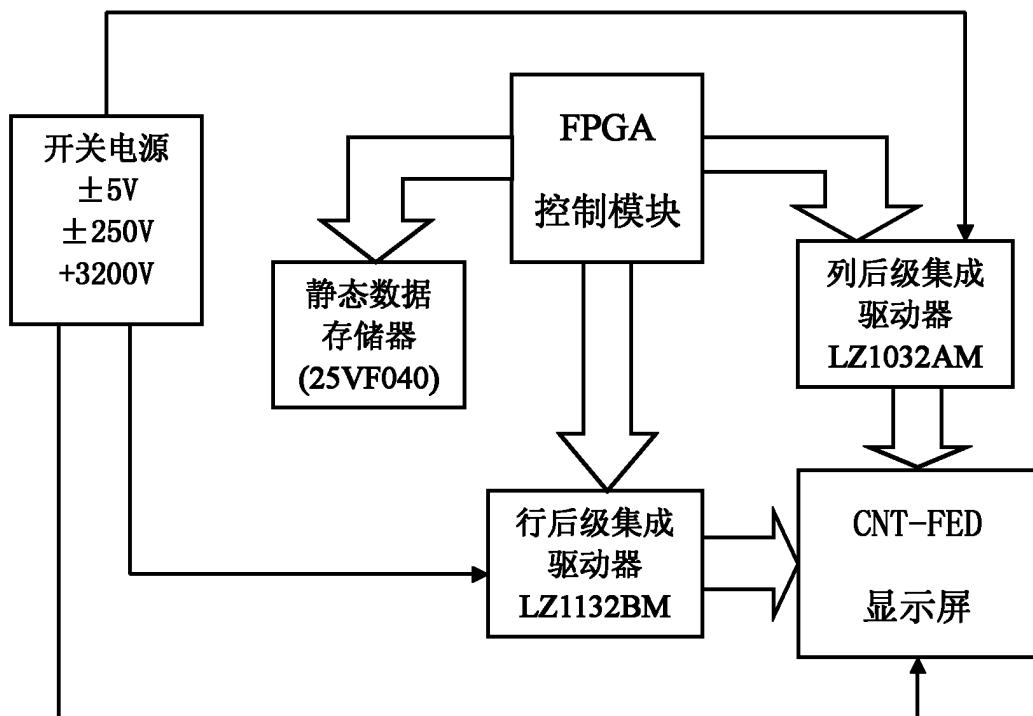


图 2

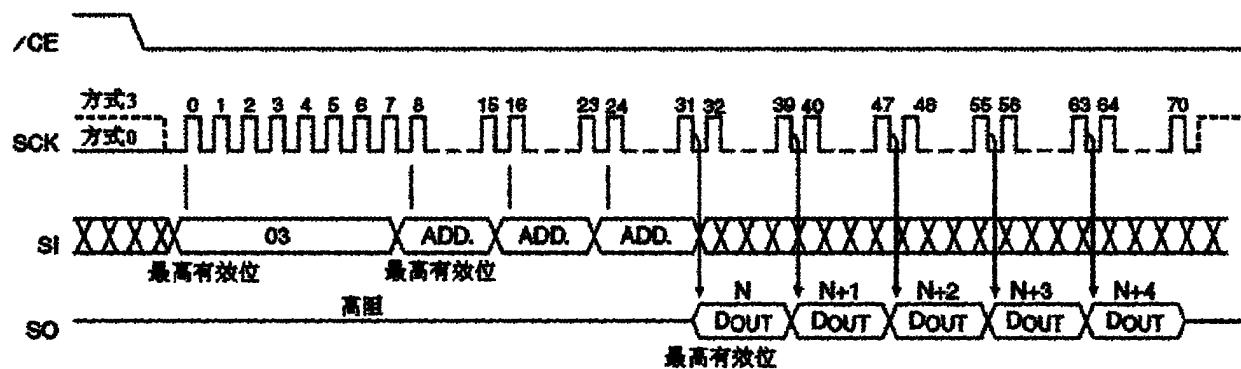


图 3

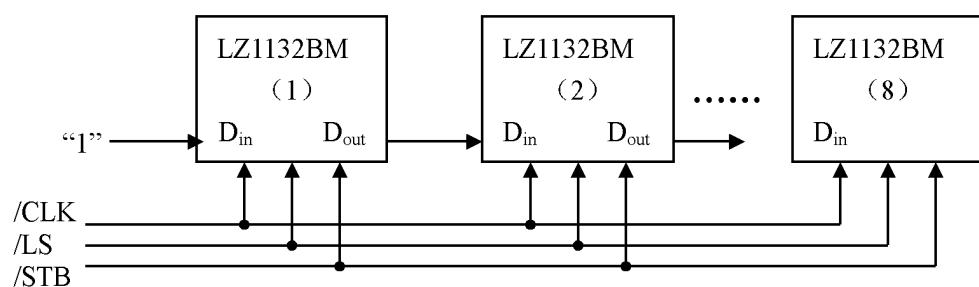


图 4

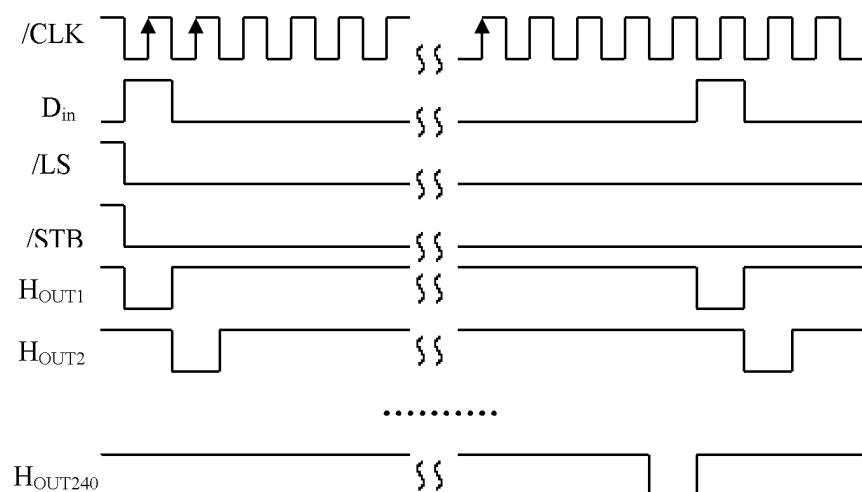


图 5

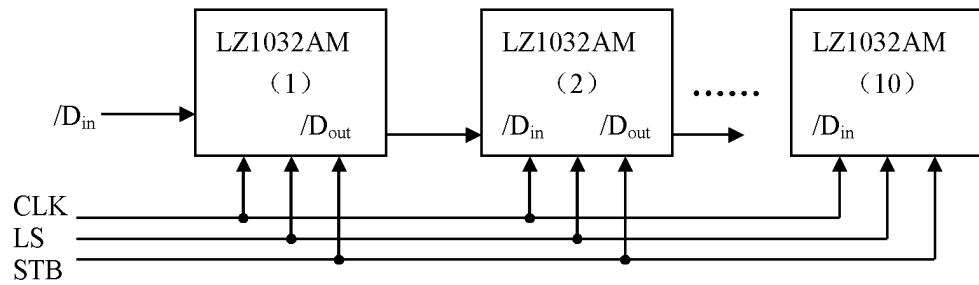


图 6

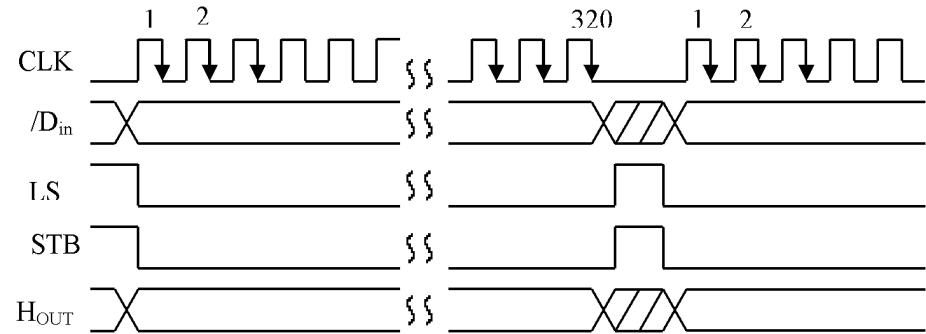


图 7