



(12) 发明专利申请

(10) 申请公布号 CN 101854489 A

(43) 申请公布日 2010. 10. 06

(21) 申请号 201010143520. X

(22) 申请日 2010. 04. 12

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路  
3888 号

(72) 发明人 曲宏松 金光 张叶 张贵祥  
郑亮亮

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 王淑秋

(51) Int. Cl.

H04N 5/335 (2006. 01)

H04N 5/232 (2006. 01)

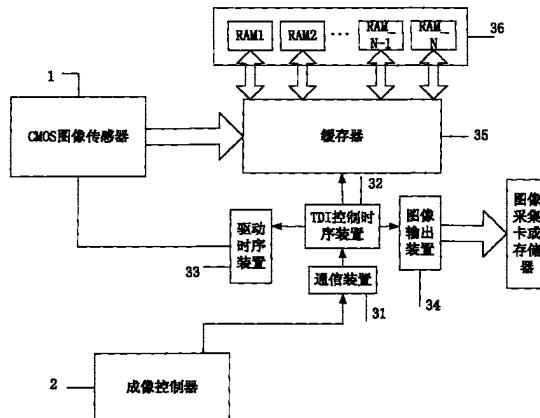
权利要求书 1 页 说明书 5 页 附图 3 页

(54) 发明名称

实现面阵 CMOS 图像传感器时间延迟积分的装置

(57) 摘要

本发明涉及一种实现面阵 CMOS 图像传感器时间延迟积分的装置，该装置包括 TDI 控制时序装置，随机存储器；TDI 控制时序装置产生 CMOS 图像传感器驱动波形，CMOS 图像传感器开始输出推扫成像生成的数字图像至随机存储器；同时，TDI 控制时序装置生成的 TDI 控制时序传输至随机存储器，在随机存储器中完成数字图像的时间延迟积分处理，并存储各级积分处理后的结果；经过时间延迟积分后的最终图像传输至图像采集卡或存储器。本发明在不改变面阵 CMOS 图像传感器结构的前提下，利用外部器件实现了数字图像的时间延迟积分，使面阵 CMOS 成像系统能够替代 TDI CCD 成为未来对地遥感的成像系统。



1. 一种实现面阵 CMOS 图像传感器时间延迟积分的装置,其特征在于包括 TDI 控制时序装置 (32),随机存储器;TDI 控制时序装置 (32) 产生 CMOS 图像传感器 (1) 驱动波形,CMOS 图像传感器 (1) 开始输出推扫成像生成的数字图像至随机存储器;同时,TDI 控制时序装置 (32) 生成的 TDI 控制时序传输至随机存储器,在随机存储器中完成数字图像的时间延迟积分处理,并存储各级积分处理后的结果;经过时间延迟积分后的最终图像传输至图像采集卡或存储器。

2. 根据权利要求 1 所述的实现面阵 CMOS 图像传感器时间延迟积分的装置,其特征在于所述 TDI 控制时序装置 (32) 包括:

开辟存储区的装置,该装置用于在随机存储器中开辟 N 行图像数据存储区,每行图像数据存储区用于存储对应级数积分后的结果;

使图像数据存储区中的数据进行流水移位的装置:该装置用于将第 N 行图像数据存储区中的数据传输至图像采集卡或存储器,将第 N-1 行图像数据存储区中的数据转移至第 N 行图像数据存储区中,依此类推,将第 2 行图像数据存储区中的数据转移至第 3 行图像数据存储区中,将第 1 行图像数据存储区中的数据转移至第 2 行图像数据存储区中,第 1 行图像数据存储区清零;

将图像数据存储区内的数据进行累加存储的装置:该装置用于读取 CMOS 图像传感器输出的 N 行数据,将第 1 行数据直接存储至第 1 行图像数据存储区中,将第 2 行数据与第 2 行图像数据存储区中原有数据相加,并将积分结果存储在第 2 行图像数据存储区中,依此类推,将第 N 行数据与第 N 行图像数据存储区中原有数据相加,并将积分结果存储在第 N 行的图像数据存储区中。

3. 根据权利要求 1 所述的实现面阵 CMOS 图像传感器时间延迟积分的装置,其特征在于还包括成像控制器 (2),通信装置 (31),驱动时序装置 (33);所述成像控制器 (2) 向通信装置 (31) 发送指令和参数,经通信装置 (31) 解码后,将指令和参数传输到 TDI 控制时序装置 (32),TDI 控制时序装置 (32) 根据指令和参数产生 TDI 控制时序,并控制驱动时序装置 (33) 产生 CMOS 图像传感器 (1) 驱动波形。

4. 根据权利要求 1 所述的实现面阵 CMOS 图像传感器时间延迟积分的装置,其特征在于随机存储器包括缓存器 (35),扩展存储装置 (36);CMOS 图像传感器 (1) 输出的数字图像传输至缓存器 (35);TDI 控制时序装置 (32) 生成的 TDI 控制时序传输给缓存器 (35),缓存器 (35) 进行数字图像的时间延迟积分处理,并将各级积分处理后的结果存储在扩展存储装置 (36) 中。

5. 根据权利要求 3 或 4 所述的实现面阵 CMOS 图像传感器时间延迟积分的装置,其特征在于还可以包括图像输出装置 (34);所述 TDI 控制时序装置 (32) 将生成的数传输出控制时序传输给图像输出装置 (34),使经过延迟积分后的最终图像通过图像输出装置 (34) 传输给图像采集卡或存储器。

## 实现面阵 CMOS 图像传感器时间延迟积分的装置

### 技术领域

[0001] 本发明属于光电传感器应用领域中，涉及的一种 CMOS 图像传感器特殊应用的方法。

### 背景技术

[0002] 目前，CMOS 图像传感器的应用已经逐渐被人们所重视。相比于传统的 CCD 图像传感器，CMOS 传感器具有功耗低、集成度高、体积小、抗干扰能力强、只需单一电源等优点，因此图像传感器在民用相机、机器视觉、天文观测、小卫星、星敏感器等多个应用领域表现出了极大的潜力。然而，由于光电转换原理、内部结构和工艺等原因，目前 CMOS 图像传感器多为面阵结构，与线阵 CCD 和 TDI CCD（时间延迟积分 CCD）相对应的线阵 CMOS 或者 TDI CMOS（时间延迟积分 CMOS）器件极为少见。而对于一些特殊应用场合（如航天遥感推扫成像）则需要图像传感器具有时间延迟积分的能力，这使得 CMOS 传感器在这些领域的应用遇到了困难。

[0003] TDI CCD 图像传感器时间延迟积分的原理是当光入射到 CCD 光敏面时，CCD 便产生光电子，产生光电子的过程称作积分。TDI CCD 的工作过程是对同一目标进行多次曝光，通过延时积分的方法，增强光能的收集。

[0004] TDI CCD 的时间延迟积分过程是在器件内部进行的，在严格的垂直转移时序和水平转移时序驱动下，将光电子在 TDI CCD 像元间转移、积分。所以 TDI CCD 时间延迟积分的本质是光电子的积分。而 CMOS 器件在生成光电子以后，将会立即转换为电压信号，不能进行光电子的转移和积分，这使得 TDI CMOS 器件不易获得。

### 发明内容

[0005] 本发明解决的技术问题是提供一种不改变当前 CMOS 器件的构造，而是利用外部器件实现时间延迟积分的实现面阵 CMOS 图像传感器时间延迟积分的装置。

[0006] 为了解决上述技术问题，本发明的实现面阵 CMOS 图像传感器时间延迟积分的装置包括 TDI 控制时序装置，随机存储器；TDI 控制时序装置产生 CMOS 图像传感器驱动波形，CMOS 图像传感器开始输出推扫成像生成的数字图像至随机存储器；同时，TDI 控制时序装置生成的 TDI 控制时序传输至随机存储器，在随机存储器中完成数字图像的时间延迟积分处理，并存储各级积分处理后的结果；经过时间延迟积分后的最终图像传输至图像采集卡或存储器。

[0007] 所述 TDI 控制时序装置包括：

[0008] 开辟存储区的装置：该装置用于在随机存储器中开辟 N 行图像数据存储区，每行图像数据存储区用于存储对应级数积分后的结果；

[0009] 使图像数据存储区中的数据进行流水移位的装置：该装置用于将第 N 行图像数据存储区中的数据传输至图像采集卡或存储器，将第 N-1 行图像数据存储区中的数据转移至第 N 行图像数据存储区中，依此类推，将第 2 行图像数据存储区中的数据转移至第 3 行图像

数据存储区中,将第 1 行图像数据存储区中的数据转移至第 2 行图像数据存储区中,第 1 行图像数据存储区清零;

[0010] 将图像数据存储区内的数据进行累加存储的装置:该装置用于读取 CMOS 图像传感器输出的 N 行数据,将第 1 行数据直接存储至第 1 行图像数据存储区中,将第 2 行数据与第 2 行图像数据存储区中原有数据相加,并将积分结果存储在第 2 行图像数据存储区中,依此类推,将第 N 行数据与第 N 行图像数据存储区中原有数据相加,并将积分结果存储在第 N 行的图像数据存储区中。

[0011] 本发明在不改变面阵 CMOS 图像传感器结构的前提下,利用外部器件实现了数字图像的时间延迟积分,使面阵 CMOS 成像系统能够替代 TDI CCD 成为未来对地遥感的成像系统。利用本发明可以实现相机的推扫拍照,推扫的方向可以灵活选择,可以顺扫与逆扫,而无须如 TDI CCD 一样只能按照一个方向进行推扫。同时本发明对 TDI 的级数可以灵活选择,在一定级数范围内可以连续选择,使得曝光时间的最优设置成为可能。而 TDI CCD 在级数选择上往往只规定了几档,如只能在 4 级、8 级、16 级、32 级、64 级中进行选择。

[0012] CMOS 图像传感器较 CCD 有很多优势,利用本发明可以使 CMOS 成像系统具备 TDI CCD 成像系统的所有功能,并可以使其应用得到一定程度的扩展,尤其为对地遥感相机增添了很多灵活的工作方式。利用本发明可以很方便地实现 CMOS 成像系统的工作模式的切换,使其具备面阵和 TDI 两种工作模式,这对其应用提供了灵活的选择。例如在对地遥感领域,在面阵工作模式下可以实现相机的凝视拍照,而在 TDI 工作模式下则可以实现相机的推扫拍照。利用面阵和 TDI 两种工作模式,还可以进行相机在轨自动调焦。因为面阵自主调焦技术非常成熟,而 TDI 自主调焦技术尚处于研究阶段,利用面阵工作模式与 TDI 工作模式的不同特点,可以实现在面阵工作模式下进行自主调焦,然后再切换到 TDI 模式进行拍照。

[0013] 本发明还可以包括成像控制器,通信装置,驱动时序装置;所述成像控制器向通信装置发送指令和参数,经通信装置解码后,将指令和参数传输到 TDI 控制时序装置,TDI 控制时序装置根据指令和参数产生 TDI 控制时序,并控制驱动时序装置产生 CMOS 图像传感器驱动波形。

[0014] 所述随机存储器包括缓存器,扩展存储装置;CMOS 图像传感器输出的数字图像传输至缓存器;TDI 控制时序装置生成的 TDI 控制时序传输给缓存器,缓存器进行数字图像的时间延迟积分处理,并将各级积分处理后的结果存储在扩展存储装置中。

[0015] 本发明还可以包括图像输出装置;所述 TDI 控制时序装置将生成的数据传输出控制时序传输给图像输出装置,使经过延迟积分后的最终图像通过图像输出装置传输给图像采集卡或存储器。

## 附图说明

- [0016] 下面结合附图和具体实施方式对本发明作进一步详细说明。
- [0017] 图 1 为 TDI CCD 时间延迟积分的原理图。
- [0018] 图 2 为本发明的实现面阵 CMOS 图像传感器时间延迟积分的装置结构框图。
- [0019] 图 3 为本发明的具体实施方式结构框图。
- [0020] 图 4 为在一个完整的行周期内, FPGA 的 TDI 控制时序模块 32' 的具体工作流程图。

图 5 为本发明的工作原理图。

### 具体实施方式

[0021] TDI CCD 时间延迟积分原理如图 1 所示。在 T1 时刻,第一行像元 11 曝光产生光电子 e1;在 T2 时刻,第二行像元 12 曝光产生光电子 e2,同时第一行像元的光电子 e1 转移至第二行像元 12 与 e2 相加得到二级积分结果;T3 时刻,第三行像元 13 曝光产生的光电子 e3 与光电子 e1、光电子 e2 累加得到三级积分结果。依次类推,如果积分级数为 N 级,则第 N 行像元 14 对同一目标进行了 N 次积分,得到了最终的 N 级积分结果,从而提高了 CCD 图像传感器的灵敏度。

[0022] 如图 2 所示,本发明的实现面阵 CMOS 图像传感器时间延迟积分的装置包括 TDI 控制时序装置 32,随机存储器;TDI 控制时序装置 32 产生 CMOS 图像传感器 1 驱动波形,CMOS 图像传感器 1 开始输出推扫成像生成的数字图像至随机存储器;同时,TDI 控制时序装置 32 生成的 TDI 控制时序传输至随机存储器,在随机存储器中完成数字图像的时间延迟积分处理,并存储各级积分处理后的结果;经过时间延迟积分后的最终图像传输至图像采集卡或存储器。

[0023] 本发明还包括成像控制器 2,通信装置 31,驱动时序装置 33;所述成像控制器 2 向通信装置 31 发送指令和参数,经通信装置 31 解码后,将指令和参数传输到 TDI 控制时序装置 32,TDI 控制时序装置 32 根据指令和参数控制驱动时序装置 33 产生 CMOS 图像传感器 1 驱动波形;同时,TDI 控制时序装置 32 生成的 TDI 控制时序传输给随机存储器。

[0024] 所述随机存储器包括缓存器 35,扩展存储装置 36;CMOS 图像传感器 1 输出的数字图像传输至缓存器 35;TDI 控制时序装置 32 生成的 TDI 控制时序传输给缓存器 35,缓存器 35 进行数字图像的时间延迟积分处理,并将各级积分处理后的结果存储在扩展存储装置 36 中。

[0025] 本发明还包括图像输出装置 34;所述 TDI 控制时序装置 32 将生成的数传输出控制时序传输给图像输出装置 34,使经过延迟积分后的最终图像通过图像输出装置 34 传输给图像采集卡或存储器。

[0026] 所述的成像控制器 2 为相机的控制单元;通信装置 31、TDI 控制时序装置 32、驱动时序装置 33、图像输出装置 34 和缓存器 35 采用 FPGA 编程实现;扩展存储装置 36 采用外部存储器 36' 实现。如图 3 所示,通信模块 31' 实现通信装置 31 的功能,TDI 控制时序模块 32' 实现 TDI 控制时序装置 32 的功能,驱动时序模块 33' 实现驱动时序装置 33 的功能,图像输出模块 34' 实现图像输出装置 34 的功能,RAM 缓存区 35' 实现缓存器 35 的功能。

[0027] 相机实现 CMOS 的 TDI 成像流程如下:成像控制器 2 向 FPGA 中的通信模块 31' 发送指令和参数,经通信模块 31' 解码后,将指令和参数传输到 TDI 控制时序模块 32',TDI 控制时序模块 32' 根据指令和参数控制驱动时序模块 33' 产生 CMOS 图像传感器 1 驱动波形,CMOS 图像传感器 1 开始输出数字图像至 FPGA 的内部 RAM 缓存区 35';同时,TDI 控制时序模块 33' 生成 TDI 控制时序,在 FPGA 的内部 RAM 缓存区 35' 内进行图像的时间延迟积分处理,并将时间延迟积分处理后的结果存储在外部存储器 36';经过 N 级积分后的图像被传送至 FPGA 中的图像输出模块 34',所述 TDI 控制时序模块 32' 控制图像输出模块 34',将最终的图像数据传输到外部采集或存储设备中。

[0028] 本发明选择了 FPGA 作为 CMOS 图像传感器输出信号时间延迟积分的场所。由于

FPGA 具有强大的时钟管理和丰富的内部存储缓存资源,所以 FPGA 既可以作为 CMOS 图像传感器的时序发生源,又可以对 CMOS 图像传感器输出的视频信号进行时间延迟积分。

[0029] 在一个完整的行周期内,FPGA 的 TDI 控制时序模块 32' 的具体工作流程为:

[0030] 1) 开辟存储区。对于 N 级积分,在扩展存储区 36 中开辟 N 行图像数据存储区,每行图像数据存储区用于存储对应级数积分后的结果。如第 1 行图像数据存储区用于缓存 1 级积分后的结果,第 2 行图像数据存储区用于缓存 2 级积分后的结果,第 N 行图像数据存储区用于缓存 N 级积分后的结果。

[0031] 2) 流水移位。第 N 行图像数据存储区中的数据转移至图像输出模块 34' 中,第 N-1 行图像数据存储区中的数据转移至第 N 行图像数据存储区中,依此类推,第 2 行图像数据存储区中的数据转移至第 3 行图像数据存储区中,第 1 行图像数据存储区中的数据转移至第 2 行图像数据存储区中,第 1 行图像数据存储区清零。

[0032] 3) 累加存储。读取 CMOS 图像传感器输出的 N 行数据。第 1 行数据直接存储至第 1 行图像数据存储区中;第 2 行数据与第 1 行图像数据存储区中原有数据相加,并将积分结果存储在第 2 行图像数据存储区中;依此类推,第 N 行数据与第 N 行图像数据存储区中原有数据相加,并将积分结果存储在第 N 行的图像数据存储区中。

[0033] 4) 将最终的图像通过图像输出模块 34' 发送到图像采集卡或存储器中;

[0034] 5) 在下一个行周期内重复 2)、3)、4) 三个步骤,便完成了 CMOS 图像传感器的 N 级时间延迟积分成像。

[0035] 本发明中积分级数 N 的数值没有严格的限制,可以在实际拍照时根据景物的照度选择合适的数值。

[0036] 当需要停止拍照时,成像控制器 2 向 FPGA 发出停止拍照指令,FPGA 停止各模块工作,并向成像控制器 2 发送已停止拍照消息。

[0037] 下面以 4 级积分为例详细说明本发明的工作原理。

[0038] 首先,系统进行上电,上电后成像控制器 2 与 FPGA 建立通信连接。通信链路正常以后,成像控制器 2 向 FPGA 发送成像参数设置指令。FPGA 在收到成像参数后进行初始化。与时间延迟积分相关的参数是行时间和积分级数(本例积分级数为 4)。参数设置完毕后,FPGA 向成像控制器 2 发送初始化完成指令。

[0039] 初始化完成后,成像控制器 2 向 FPGA 发送开始拍照指令,FPGA 开始启动 TDI 成像。首先,FPGA 配置 CMOS 的行选择控制单元,选择 4 行图像作为图像输出窗口。以第一行图像输出时刻作为第一个行周期的起始,以下一行图像输出时刻最为这个行周期的结束。

[0040] 本发明的核心算法在 FPGA 中的 TDI 控制时序模块 32' 中实现,该模块根据积分级数和行转移时间产生相应的时序控制波形,从而控制 CMOS 图像传感器的行选择控制单元、列输出单元以及扩展存储装置 36 中图像的积分和传输时序。

[0041] 工作原理说明:

[0042] 本发明的工作原理如图 5 所示,以 4 级积分为例。图 5 中上部矩形表示 CMOS 图像传感器的感光像元区域,L1-L6 表示 CMOS 图像传感器的 6 行像元,P1-P6 表示目标景物经 CMOS 图像传感器感光得到的 6 行图像数据。在不同的时刻,L1-L6 将对不同目标景物进行感光,对应不同的图像。图 5 下半部分,表示了图像数据的存储和传输路线。M1-M4 表示 1-4 级积分图像的存储区,M1-M4 可以利用 FPGA 中的 RAM 实现,如 FPGA 中的 RAM 资源不足,可

以利用外部存储器 36' 的 RAM1、RAM2、RAM3、RAM4 实现。

[0043] 在 T1 行周期内, CMOS 图像传感器曝光, L1 行像元感光得到目标第一行景物图像 T1P1, 通过 FPGA 的控制, 将第一行景物图像 T1P1 传送至外部存储器 36' 的 M1 中。T1 行周期内完成了第一行图像的 1 级积分。在 T2 行周期内, CMOS 图像传感器相对景物发生了位移, CMOS 的 L2 行像元对第一行景物进行第二次曝光得到 T2P1, 通过 FPGA 的控制, 将第一行景物图像 T2P1 传送至外部存储器 36' 的 M2 中; 与此同时, 外部存储器 36' 在 FPGA 的控制下进行像元存储空间的转移, 将 M1 中的 T1 行周期图像 T1P1 移至 M2 中, 并将 M1 清零。此时, M2 中存储的图像数据为 T1P1 与 T2P1 之和, 即第一行景物图像的二级积分结果。而 L1 行像元对第二行景物进行第一次曝光, 得到目标第二行景物图像 T2P2, T2P2 传送至外部存储器 36' 的 M1 中, 即 M1 中存储了第二行景物图像的一级积分的结果。T3、T4 行周期, 也依然按前两个行周期的顺序进行积分与传输, T4 周期后 M1 至 M4 的状态为: M1 中存储第四行图像一级积分的结果, M2 中存储第三行图像二级积分的结果, M3 中存储第二行图像三级积分的结果, M4 中存储第一行图像四级积分的结果。到 T5 周期, 依然按照上述顺序执行, 则经过四级积分的第一行图像被传送至图像输出模块 34' 等待输出, 而第五行景物图像完成第一次积分进入了 M1 缓存。此时, M1 至 M4 的状态为: M1 中存储第五行图像一级积分的结果, M2 中存储第四行图像二级积分的结果、第三行图像三级积分的结果, M4 中存储第二行图像四级积分的结果。按照上述过程循环进行, 则在 FPGA 控制下实现了 CMOS 的时间延迟积分。

[0044] 本发明不限于上述实施方式, TDI 控制时序装置 32 和随机存储器还可以采用 DSP 或者其他具有高速图像处理功能的器件实现。只要是采用 TDI 控制时序装置产生 CMOS 图像传感器 1 驱动波形和 TDI 控制时序, 并利用随机存储器进行数字图像的时间延迟积分处理, 并存储时间延迟积分处理后的结果, 都在本发明意图保护范围之内。

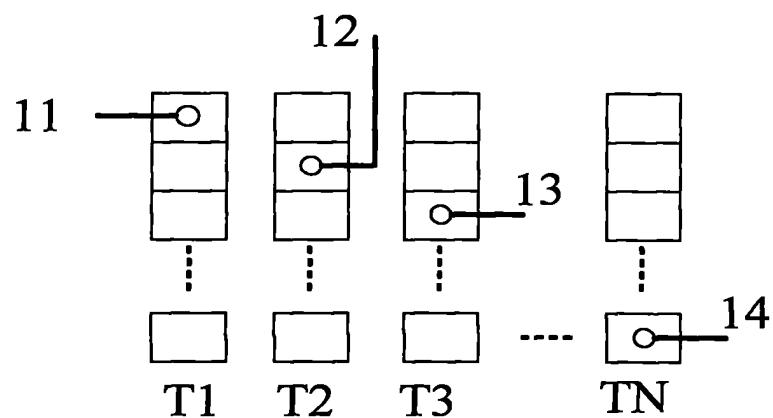


图 1

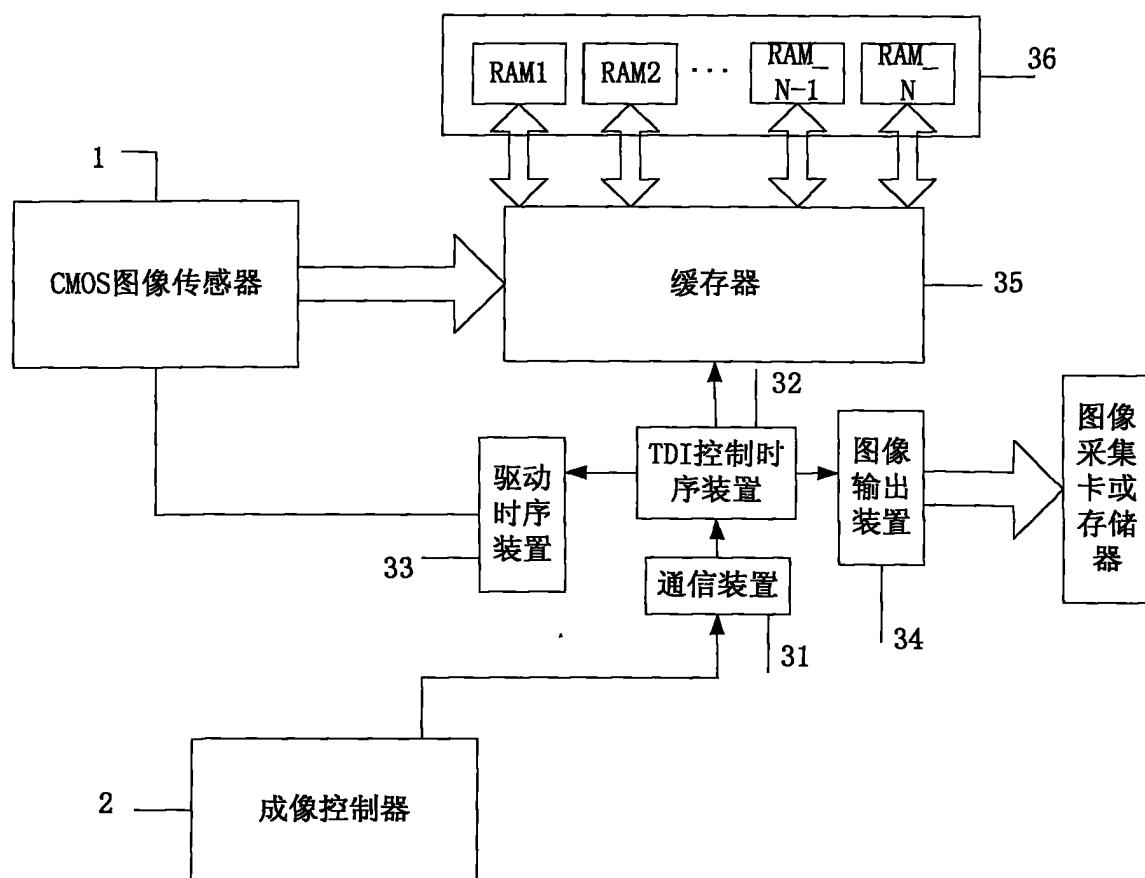


图 2

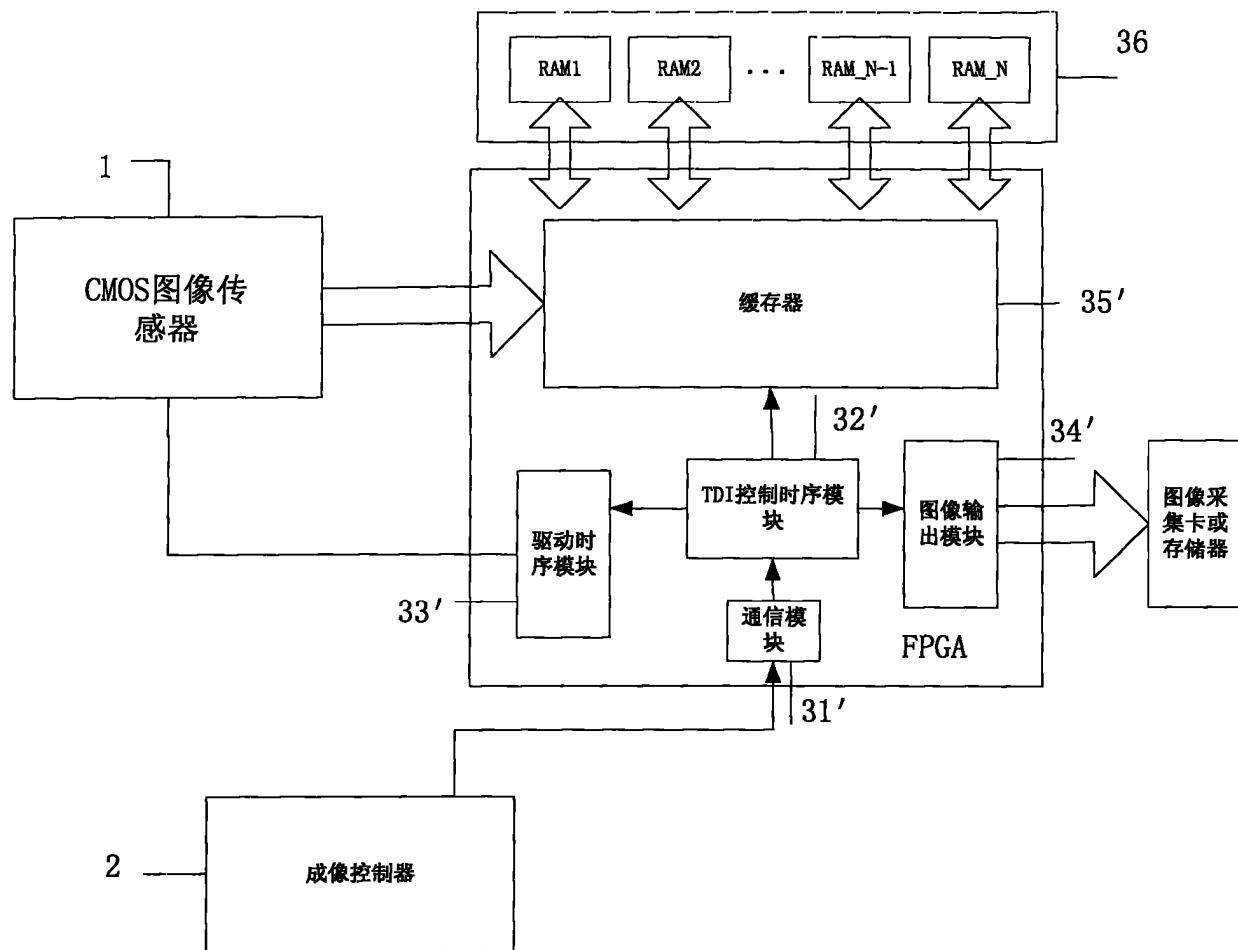


图 3

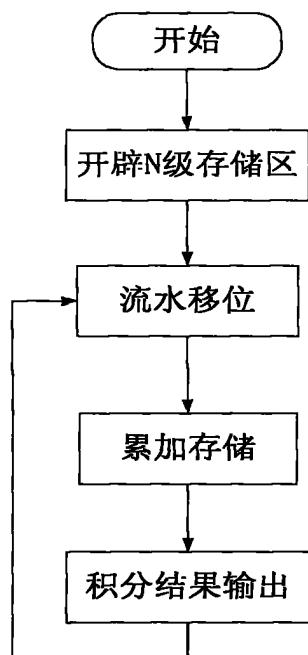


图 4

