



(12) 发明专利申请

(10) 申请公布号 CN 101729845 A

(43) 申请公布日 2010.06.09

(21) 申请号 200910218001.2

(22) 申请日 2009.12.15

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 郝志成 吴川

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 南小平

(51) Int. Cl.

H04N 7/08 (2006.01)

H04N 7/084 (2006.01)

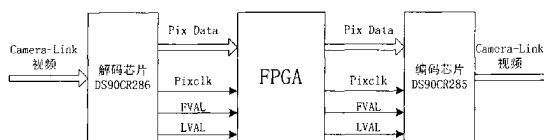
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

Camera-Link 数字视频信息叠加方法

(57) 摘要

Camera-Link 数字视频信息叠加方法属于图像处理技术领域,该方法包括如下步骤:1) 将串行的 Camera-Link 数字视频信号通过解码芯片解码成并行的图像数据信号和三个控制信号,并将解码后的图像数据信号和控制信号送入 FPGA;2) 利用 FPGA 生成数字图像的行计数器和列计数器,利用这两个计数器可对图像中的像素值进行修改;3) 根据参考数据解码协议,将要叠加的参考数据信息叠加到图像中的指定位置;4) 将叠加后的图像数据同上述的三个控制信号送给视频编码芯片,重新生成 Camera-Link 数字视频。本发明既省却了传输参考数据的通道,又能保证图像与参考数据的严格对齐。



1. Camera-Link 数字视频信息叠加方法,其特征在于,该方法包括如下步骤:

1) 将串行的 Camera-Link 数字视频信号通过解码芯片解码成并行的图像数据信号和三个控制信号,并将解码后的上述图像数据信号和控制信号送入现场可编程芯片 FPGA;

2) 利用现场可编程芯片 FPGA 生成数字图像的行计数器 conty 和列计数器 contx,利用所述的两个计数器可以对图像中任意位置的像素值进行修改;

3) 根据用户自定义的参考数据解码协议,将要叠加的与图像同步的参考数据信息叠加到图像中的指定位置;

4) 将叠加后的图像数据连同上述的三个控制信号送给视频编码芯片,重新生成 Camera-Link 数字视频,该视频中叠加有参考数据信息,下一级系统可以根据用户自定义的参考数据解码协议解出视频内的参考数据。

2. 如权利要求 1 所述的 Camera-Link 数字视频信息叠加方法,其特征在于,所述的解码芯片为 DS90CR286 芯片或 DS90CR288 芯片,所述的编码芯片为 DS90CR285 或 DS90CR287。

3. 如权利要求 1 所述的 Camera-Link 数字视频信息叠加方法,其特征在于,所述的三个控制信号为帧同步 FVAL 信号、行同步 LVAL 信号、像素时钟 Pixclk 信号。

4. 如权利要求 1 所述的 Camera-Link 数字视频信息叠加方法,其特征在于,步骤 3) 所述的将要叠加的与图像同步的参考数据信息叠加到图像中的指定位置,是指将参考数据叠加到图像的无效数据部分,这样不会破坏原有的视频图像。

Camera-Link 数字视频信息叠加方法

技术领域

[0001] 本发明属于图像处理技术领域,涉及到一种数字图像与图像参数同步传输技术,具体地说是利用数字图像传输通道(比如 Camera-Link 接口),在传输每帧图像的同时,与图像同步传输相关数据。

背景技术

[0002] 当前随着数码产品的问世和大量应用,数字图像的传输和显示也越来越受到广泛重视。尤其在军工、航天等高科技领域,如何快速、稳定地传输数字图像和相关数据一直都是一个重要的课题。在许多情况下,在两台设备间需要传输的不仅仅是数字视频,同时还有大量与视频同步的参考数据,如图像的帧码、时间等信息,需要每组数据与图像帧严格对应,比如:第 100 帧的图像要与第 100 帧的参考数据相对应。

[0003] 目前,比较常见的数字视频与参考数据同时传输的技术大多是视频与数据分开传送,比如:数字视频是通过 Camera-Link 通道传输,而参考数据是通过 RS-422 串口传输。这种方法的缺点是接收端不能将收到的视频和数据严格对齐,一般都会有一帧或几帧图像周期以上的误差,这在许多情况下是不允许的。

发明内容

[0004] 本发明的目的是提供一种 Camera-Link 数字视频信息叠加方法,其既省却了传输参考数据的通道,又能保证图像与参考数据的严格对齐。

[0005] 为了达到上述目的,本发明的技术方案如下:

[0006] Camera-Link 数字视频信息叠加方法,包括如下步骤:

[0007] 1) 将串行的 Camera-Link 数字视频信号通过解码芯片解码成并行的图像数据信号 Pix Data 和帧同步 FVAL、行同步 LVAL、像素时钟 Pixclk 三个控制信号,并将解码后的上述图像数据信号和控制信号送入现场可编程芯片 FPGA(Field Programmable Gate Array);

[0008] 2) 利用现场可编程芯片 FPGA 生成数字图像的行计数器 conty 和列计数器 contx,利用所述的两个计数器可以对图像中任意位置的像素值进行修改;

[0009] 3) 根据用户自定义的参考数据解码协议,将要叠加的与图像同步的参考数据信息叠加到图像中的指定位置,通常是将参考数据叠加到图像的无效数据部分,这样不会破坏原有的视频图像;

[0010] 4) 将叠加后的图像数据连同上述的三个控制信号送给视频编码芯片,重新生成 Camera-Link 数字视频,该视频中叠加有参考数据信息,下一级系统可以根据用户自定义的参考数据解码协议解出视频内的参考数据。

[0011] 本发明的有益效果是:充分利用无效图像周期来传递非图像的参考数据,不仅可以省却传输参考数据的通道,减少设备间的连接线,而且由于参考数据占用的是图像的时序周期,是与每帧图像同步传输的,故而能够严格保证图像与数据的严格对齐。

附图说明

[0012] 图 1 是本发明 Camera-Link 数字视频信息叠加方法的原理图。

[0013] 图 2 是本发明 Camera-Link 数字视频解码后的时序图。

[0014] 图 3 是本发明 Camera-Link 数字视频解码后的二维图像示意图。

[0015] 图 4 是本发明的参考数据视频叠加时序图。

[0016] 图 5 是本发明叠加参考数据后的视频图像示意图。

具体实施方式

[0017] 下面结合附图对本发明做进一步详细地描述：

[0018] 如图 1 所示, 本发明 Camera-Link 数字视频信息叠加方法包括如下步骤：

[0019] 步骤一、对输入的 Camera-Link 接口的数字视频进行视频解码, 即将视频信号直接送给解码芯片 DS90CR286 或 DS90CR288, 则在解码芯片的输出端可直接得到并行的 n 位图像数据信号 Pix Data (图像数据位数 n 由相机型号决定, 通常 $n = 8$ 或 10) 和三个控制信号 (帧同步 FVAL、行同步 LVAL、像素时钟 Pixclk), 具体时序关系如图 2 所示。将解码后的图像数据信号和三个控制信号送入 FPGA 芯片中, 可以通过 FPGA 编程来实现数字视频信息的叠加。

[0020] 在图 2 中, FVAL 和 LVAL 的高电平期间表示有效 (即有图像输出), 低电平期间表示消隐 (即无图像输出)。LVAL 的高电平期间输出的是一行图像, 每一个 Pixclk 的上升沿与一个像素数据 P_n 对应; FVAL 的高电平期间输出的是一帧图像, 每一个 LVAL 周期与一行图像对应。所以, 假设一个分辨率为 1024×768 的数字视频解码后得到的 FVAL 信号高电平的长度至少为 768 个 LVAL 的周期, 而 LVAL 的高电平的长度至少为 1024 个 Pixclk 的周期。

[0021] 但是, 现今所有的标准工业相机的 FVAL 和 LVAL 的高电平长度都会大于这个分辨率值而留出一部分无效行和无效像素, 如图 2 中的 LVAL 的前 10 个 Pixclk 和后 5 个 Pixclk 周期就是无效像素, FVAL 的前 10 个 LVAL 和后 5 个 LVAL 周期就是无效行, 二维图像示意图见图 3。

[0022] 上述步骤主要是将串行的 Camera-Link 数字视频解码成并行的图像数据并送入 FPGA 中, 以便后续对图像数据进行修改或增加。

[0023] 步骤二、此步骤主要在 FPGA 内部完成: 首先生成两个计数器: 行计数器 conty、列计数器 contx; 列计数器 contx 以行同步 LVAL 的上升沿为起始点, 用像素时钟 Pixclk 在 LVAL 的高电平期间进行计数, 当 LVAL 为低电平时, 将列计数器 contx 清零, 即计数在 LVAL 的高电平期间有多少个 Pixclk; 同理, 行计数器 conty 以帧同步 FVAL 的上升沿为起点, 用行同步 LVAL 在 FVAL 的高电平期间进行计数, 当 FVAL 为低电平时, 将行计数器 conty 清零。这样得到的列计数器 contx 和行计数器 conty 的值分别表示二维图像中每个像素点的坐标值。例如: 要将第 20 行 30 列像素点的亮度变为零, 只需当 $contx = 30, conty = 20$ 时, 令 $P = 0$, 即可。

[0024] 本步骤的主要工作是生成数字图像的行计数器 conty 和列计数器 contx, 利用这两个计数器可以对图像中任意位置的像素值进行修改, 包括视频中的无效数据部分。

[0025] 步骤三、利用图像中的无效行来传递与图像同步的参考数据。

[0026] 由于无效的图像数据是不在视频图像显示范围内的,但是此部分无效数据是可以采集接收到的。所以,本发明充分利用这些无效图像周期来传递非图像的参考数据。这样做不仅可以省却传输参考数据的通道,减少设备间的连接线,而且由于参考数据占用的是图像的时序周期,是与每帧图像同步传输的,故而能够严格保证图像与数据的严格对齐。参考数据的叠加时序如图 4 所示,叠加后的图像如 5 所示。

[0027] 叠加的参考数据具体占用有效行前的无效行,还是有效行后的无效行,具体占用几行,可根据实际情况用户自己定义。而且由于显示设备显示的只是有效图像部分,所以叠加的数据信息并不会破坏原有的图像。

[0028] 以图 4 和图 5 为例,假设需要传输的参考数据有 100 个字节,分别为 $D_0, D_1, D_2, \dots, D_{99}$,则将参考数据信息叠加到图像中的第 779 行(前 10 行为无效数据行,后 768 行为有效数据行):当 $conty = 779, contx = 0$ 时,令 $P_0 = D_0$, $contx = 1$ 时,令 $P_1 = D_1, \dots, contx = 99$ 时,令 $P_{99} = D_{99}$;其他时刻,像素值 P_N 保持不变。

[0029] 本步骤的目的是根据通讯双方事先确定的协议,将要叠加的参考数据信息叠加到图像中的指定位置,通常都是图像的无效数据部分,这样不会破坏原有的视频图像。

[0030] 步骤四、将叠加后的图像数据连同 FVAL、LVAL、Pixclk 三个控制信号送给 Camera-link 视频编码芯片 DS90CR285 或 DS90CR287 的输入端,则在输出端就会重新生成 Camera-Link 数字视频,该视频中叠加有参考数据信息,下一级系统可以根据协议依照本发明方法解出视频内的参考数据。

[0031] 本步骤与第一步骤相对应,重新生成串行的 Camera-Link 数字视频信号,以便传给下一级系统。

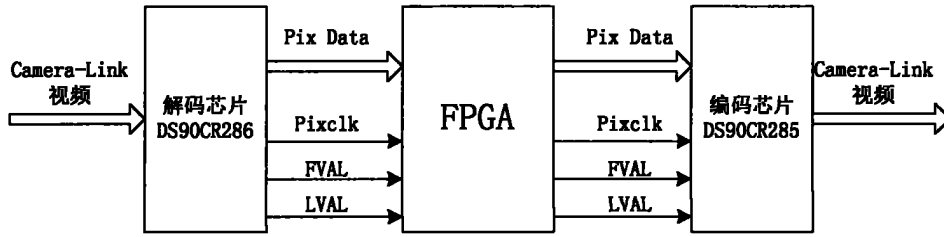
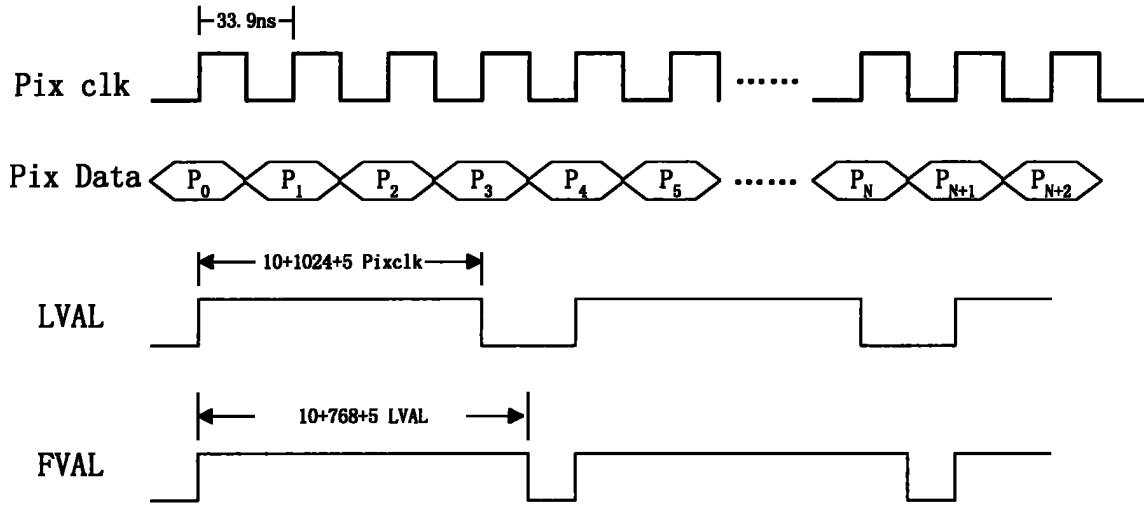


图 1



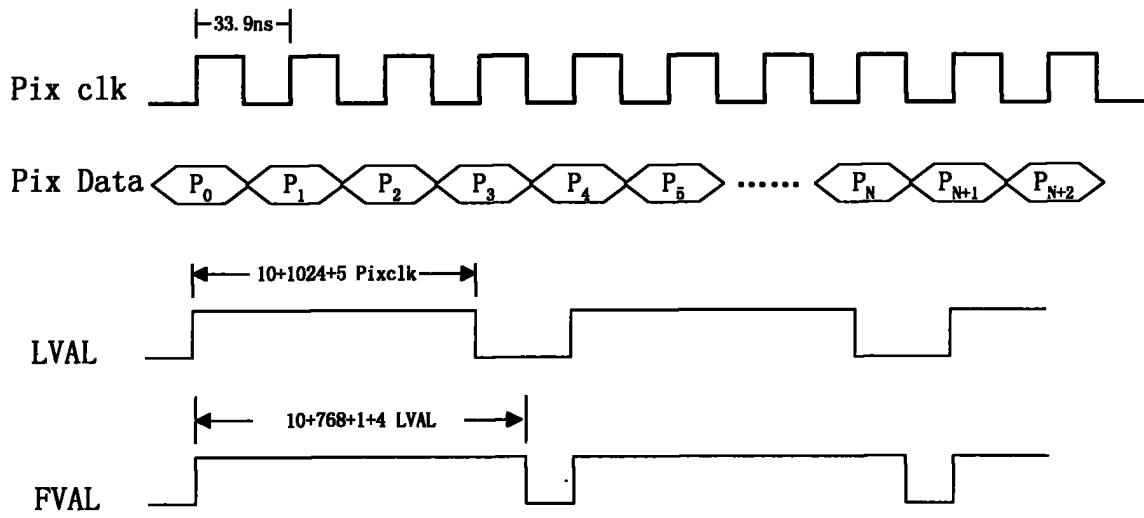
LVAL中：10 表示前10个无效像素，
1024表示每行有效像素为1024个
5表示后5个无效像素

FVAL中：10 表示前10个无效行，
768表示有效图像为768行
5表示后5个无效行

图 2

	10个无效行	
10个无效数据	有效图像 1024×768	5个无效数据
	5个无效行	

图 3



FVAL中：10 表示前10个无效行，
 768表示有效图像为768行
 1表示第769行为叠加的参考数据包，参考数据解码协议自定
 4表示剩余的无效行

图 4

	10个无效行	
10个无效数据	有效图像 1024×768	5个无效数据
	参考数据	
	4个无效行	

图 5