



(12) 发明专利申请

(10) 申请公布号 CN 101710937 A

(43) 申请公布日 2010. 05. 19

(21) 申请号 200910217907. 2

(22) 申请日 2009. 11. 24

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

(72) 发明人 吴川

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 王淑秋

(51) Int. Cl.

H04N 5/14 (2006. 01)

H04N 7/24 (2006. 01)

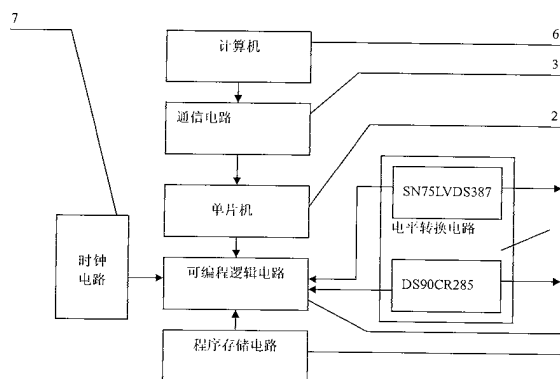
权利要求书 1 页 说明书 3 页 附图 3 页

(54) 发明名称

数字视频信号发生系统

(57) 摘要

本发明涉及一种数字视频信号发生系统,该系统计算机通过通信电路将生成视频源的指令码发送给单片机,由单片机对接收的指令码进行整合再传递给可编程逻辑电路;可编程逻辑电路根据时钟电路发来的时钟产生行同步、场同步和像素时钟,并根据单片机传递来的指令码产生符合要求的像素信号,然后输出数字视频信号;可编程逻辑电路输出的数字视频信号经电平转换电路转换成制式与图像处理平台接收的视频信号相同的数字视频信号。本发明通过人机交互方式能够为视频图像处理平台产生符合要求的数字视频信号,供数字图像处理平台检验图像处理算法及测试使用,使对图像处理平台的图像处理算法及处理能力的测试和评估变得方便易行。



1. 一种数字视频信号发生系统,其特征不在于包括时钟电路,计算机,通信电路,单片机,可编程逻辑电路,程序存储电路和电平转换电路;所述时钟电路和程序存储电路分别与可编程逻辑电路连接;所述计算机通过通信电路将生成视频源的指令码发送给单片机,由单片机对接收的指令码进行整合再传递给可编程逻辑电路;可编程逻辑电路根据时钟电路发来的时钟产生行同步、场同步和像素时钟,并根据单片机传递来的指令码产生符合要求的像素信号,然后输出数字视频信号;可编程逻辑电路输出的数字视频信号经电平转换电路转换成制式与图像处理平台接收的视频信号相同的数字视频信号。

2. 根据权利要求1所述的数字视频信号发生系统,其特征不在于所述的可编程逻辑电路包括:行同步信号产生模块、场同步信号产生模块,像素时钟信号产生模块,像素信息产生模块。

3. 根据权利要求1所述的数字视频信号发生系统,其特征不在于电平转换电路包括第一电平转换芯片和第二电平转换芯片;第一电平转换芯片将可编程逻辑电路输出的数字视频信号转换为 LVDS 制式视频信号,第二电平转换芯片将可编程逻辑电路输出的数字视频信号转换为 Camer_Link 制式视频信号。

4. 根据权利要求1所述的数字视频信号发生系统,其特征不在于所述像素信息产生模块软件实现流程包括如下步骤:

a、接收单片机传递的指令码;

b、根据指令码判断目标个数;

c、如果是单目标,只需初始设定一个目标位置,如果是多目标则根据目标个数确定各目标位置;

d、根据场同步、行同步及像素时钟判断当前位置是否为目标位置,如果是则根据指令码要求的目标像素灰度在当前位置输出目标像素灰度,否则根据指令码要求输出背景像素灰度;

e、如果当前正在输出目标像素灰度,则判断输出目标大小是否满足要求,不满足依照场同步、行同步及像素时钟继续输出目标像素灰度,满足输出背景像素灰度;

f、输出背景像素灰度后,判断当场像素信息是否输出完整,如果完整则根据目标速度,重新确定下一场目标位置,确定后返回步骤 d,否则直接返回步骤 d,实现像素信息的连续输出。

数字视频信号发生系统

技术领域

[0001] 本发明涉及一种数字视频信号发生系统。

技术背景

[0002] 在光电测量中,需要图像处理平台进行图像采集、处理。而为了对图像处理平台的图像处理算法及处理能力进行评估、检测,常常需要对图像处理平台输入特定视频,而这些视频只能在特定条件下通过相机采集得到,不能随时得到。此外目前图像处理平台接收的视频信号制式越来越复杂、帧频越来越高,对产生的视频内容也要求越来越多,以往的视频信号发生器有的只能产生简单的模拟视频,有的虽然能产生数字视频但内容是固定的,如果需求变了需要对数字视频信号发生器重新编程以达到要求,比较麻烦,不能满足日益复杂的要求。因此利用视频信号发生器产生特定视频提供给图像处理平台具有一定实际应用意义。

发明内容

[0003] 本发明要解决的技术问题是提供一种能够按照需求产生灵活可调的数字视频信号的数字视频信号发生系统。

[0004] 为了解决上述技术问题,本发明的数字视频信号发生系统包括时钟电路,计算机,通信电路,单片机,可编程逻辑电路,程序存储电路和电平转换电路;所述时钟电路和程序存储电路分别与可编程逻辑电路连接;所述计算机通过通信电路将生成视频源的指令码发送给单片机,由单片机对接收的指令码进行整合再传递给可编程逻辑电路;可编程逻辑电路根据时钟电路发来的时钟产生行同步、场同步和像素时钟,并根据单片机传递来的指令码产生符合要求的像素信号,然后输出数字视频信号;可编程逻辑电路输出的数字视频信号经电平转换电路转换成制式与图像处理平台接收的视频信号相同的数字视频信号。

[0005] 首先,系统上电后,程序存储电路把程序加载到可编程逻辑电路内的程序区,可编程逻辑电路根据时钟电路发来的时钟产生数字视频所需的行同步信号、场同步信号和像素时钟信号。同时,计算机通过通信电路将产生的目标个数、目标大小、目标与背景对比度、目标灰度、目标移动速度等生成视频源的指令码传递给单片机,由单片机把计算机发出的生成视频源的各项指令码译成可编程逻辑电路能够识别的指令,并且传给可编程逻辑电路,可编程逻辑电路根据生成视频源的各项指令码生成相应符合要求的像素信号;可编程逻辑电路产生的行同步信号、场同步信号、像素时钟信号和像素信息合在一起称为数字视频信号。本发明通过人机交互方式能够为视频图像处理平台产生符合要求的数字视频信号,并按照一定要求实时更改视频中目标个数、目标大小、目标与背景对比度、目标灰度、目标移动速度等像素信息;采用电平转换电路将可编程逻辑电路输出的数字视频信号转换成制式与图像处理平台接收的视频信号相同的数字视频信号,能够模仿实际数字相机发出的数字视频信号,供数字图像处理平台检验图像处理算法及测试使用,使对图像处理平台的图像处理算法及处理能力的测试和评估变得方便易行。

[0006] 所述的可编程逻辑电路包括：行同步信号产生模块、场同步信号产生模块，像素时钟信号产生模块，像素信息产生模块。行同步信号产生模块、场同步信号产生模块和像素时钟信号产生模块根据时钟电路发来的时钟产生数字视频所需的行同步信号、场同步信号和像素时钟信号；像素信息产生模块根据接收的单片机传递的生成视频源的各项指令码及行同步信号、场同步信号、像素时钟信号生成相应符合要求的像素信号。

[0007] 所述的电平转换电路包括第一电平转换芯片和第二电平转换芯片；第一电平转换芯片将可编程逻辑电路输出的数字视频信号转换为 LVDS 制式视频信号，第二电平转换芯片将可编程逻辑电路输出的数字视频信号转换为 Camer_Link 制式视频信号。本发明可模仿 Camer_Link 接口和 LVDS 接口的数字相机发出数字视频信号。

附图说明

[0008] 下面结合附图和具体实施方式对本发明作进一步详细说明。

[0009] 图 1 为本发明的数字视频信号发生器的结构框图。

[0010] 图 2 为本发明具体实施方式结构框图。

[0011] 图 3 为像素信息产生模块软件实现流程图。

具体实施方式

[0012] 如图 1 所示，本发明的数字视频信号发生器包括时钟电路 7，计算机 6，通信电路 3，单片机 2，可编程逻辑电路 1，程序存储电路 8 和电平转换电路 4；所述时钟电路 7 和程序存储电路 8 与可编程逻辑电路 1 连接；计算机 6 通过通信电路 3 与单片机 2 的输入连接，单片机 2 的输出连接到可编程逻辑电路 1 的输入；可编程逻辑电路 1 的输出与电平转换电路 4 连接。

[0013] 如图 2 所示，所述的通信电路 3 采用 MAX232 接口和串并转换芯片 16C550；单片机 2 选用的是 C8051F21；可编程逻辑电路 1 选用 cyclone II 系列的 EP2C8F256；程序存储电路 8 选用 EPC8；电平转换电路 4 采用第一电平转换芯片 SN75LVDS387 和第二电平转换芯片 DS90CR285；计算机 6 的输出与 MAX232 接口相连；MAX232 接口的输出 DataIn 与串并转换芯片 16C550 的输入 DataIn 相连；串并转换芯片 16C550 的输出 D[7:0] 与单片机 C8051F21 的输入 D[7:0] 相连。可编程逻辑电路 EP2C8F256 的数据端口 Data[7:0] 与单片机 C8051F21 的 Data[7:0] 的相连，时钟端口 CLK 与时钟电路的 CLK 相连；可编程逻辑电路 EP2C8F256 的程序区与程序存储电路 EPC4 相连；可编程逻辑电路 EP2C8F256 的输出 LVAL、FVAL、Pixel_CLK、D[9:0] 分别与第一电平转换芯片 SN75LVDS387 和第二电平转换芯片 DS90CR285 的 LVAL、FVAL、Pixel_CLK、D[9:0] 相连。

[0014] 为了实现人机交互及数字视频信号的产生，分别对可编程逻辑电路 1 和单片机 2 进行编程，并且把相应程序分别存储在可编程逻辑电路 1 的程序存储电路 EPC48 和单片机 2 中。

[0015] 系统上电，程序存储电路 EPC4 中的程序加载到可编程逻辑电路 EP2C8F256 中的程序区中。可编程逻辑电路 EP2C8F256 根据程序，采集时钟电路产生的 CLK 时钟信号，并以该时钟信号为基准产生数字视频的同步信号 LVAL、场同步信号 FVAL 和像素时钟信号 Pixel_CLK。计算机发送目标个数、目标大小、目标与背景对比度、目标灰度、目标移动速度

等生成视频源的指令码给 MAX232 接口,MAX232 接口把指令转换成 TTL 电平 DataIn 传递给串并转换芯片 16C550,串并转换芯片 16C550 把串行命令 DataIn 转成并行指令 Data[7:0] 以一定时序发送给单片机 C8051F21 ;单片机 C8051F21 把计算机发出的生成视频源的各项指令码译成可编程逻辑电路 EP2C8F256 能够识别的指令,可编程逻辑电路 EP2C8F256 接收该指令并根据该指令中决定的视频中将出现的目标个数、目标大小、目标与背景对比度、目标灰度、目标移动速度等产生像素信号 D[9:0]。因为可编程逻辑电路 EP2C8F256 产生的信号是 TTL 制式的,为了产生满足要求的视频信号,可编程逻辑电路 EP2C8F256 把产生的行同步信号 LVAL、场同步信号 FVAL、像素时钟信号 Pixel_CLK 和像素信号 D[9:0] 分别传递给第一电平转换芯片 SN75LVDS387 和第二电平转换芯片 DS90CR285。第一电平转换芯片 SN75LVDS387 输出 LVDS 接口的数字视频信号,第二电平转换芯片 DS90CR285 输出 Camer_Link 接口的视频信号。

[0016] 如图 3 所示,所述像素信息产生模块软件实现流程如下:

[0017] a、接收单片机传递的指令码;

[0018] b、根据指令码判断目标个数;

[0019] c、如果是单目标,只需初始设定一个目标位置,如果是多目标则根据目标个数确定各目标位置;

[0020] d、根据场同步、行同步及像素时钟判断当前位置是否为目标位置,如果是则根据指令码要求的目标像素灰度在当前位置输出目标像素灰度,否则根据指令码要求输出背景像素灰度;

[0021] e、如果当前正在输出目标像素灰度,则判断输出目标大小是否满足要求,不满足依照场同步、行同步及像素时钟继续输出目标像素灰度,满足输出背景像素灰度;

[0022] f、输出背景像素灰度后,判断当场像素信息是否输出完整,如果完整则根据目标速度,重新确定下一场目标位置,确定后返回步骤 d,否则直接返回步骤 d,实现像素信息的连续输出。

[0023] 应该理解的是,上述实施例仅仅是为了对本发明作出详细说明而描述的最优选的实施方式;而不能理解为对本发明权利要求的限制。本领域的技术人员能够很容易想到采用其他多种替代方式实现本发明。例如,计算机还可以通过其他公知的接口电路与单片机相连。还可以采用其他器件如 DSP、ARM 等代替单片机将计算机发出的生成视频源的各项指令码译成可编程逻辑电路能够识别的指令。

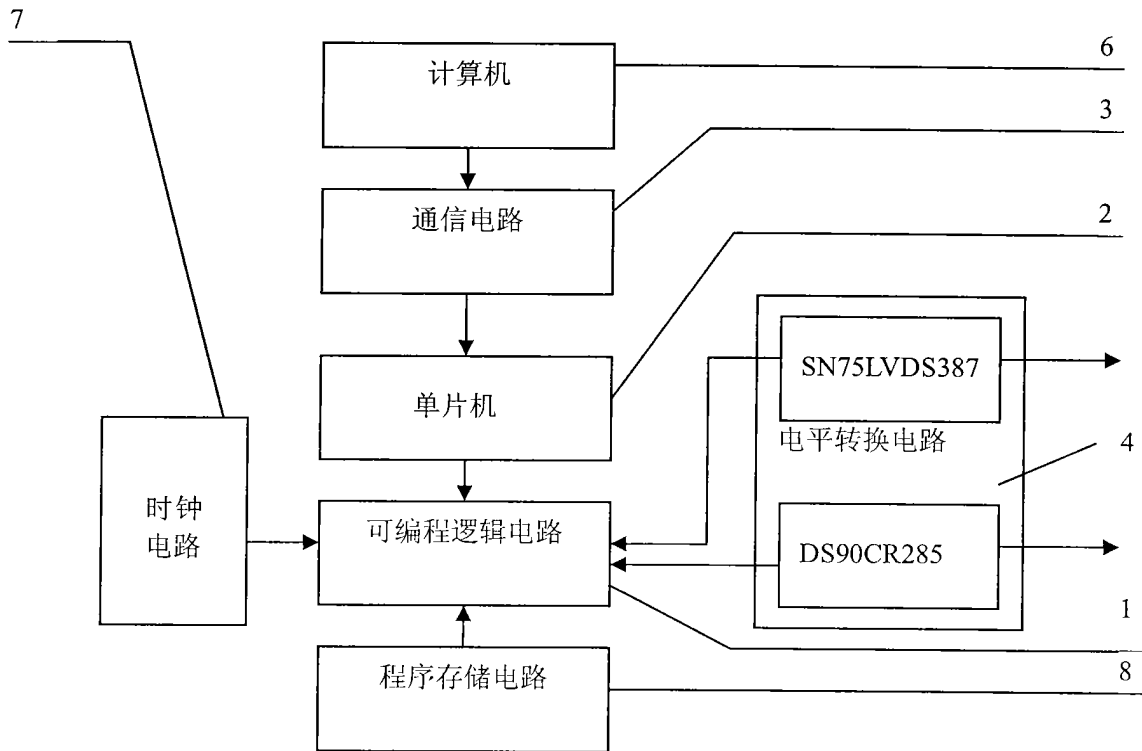


图 1

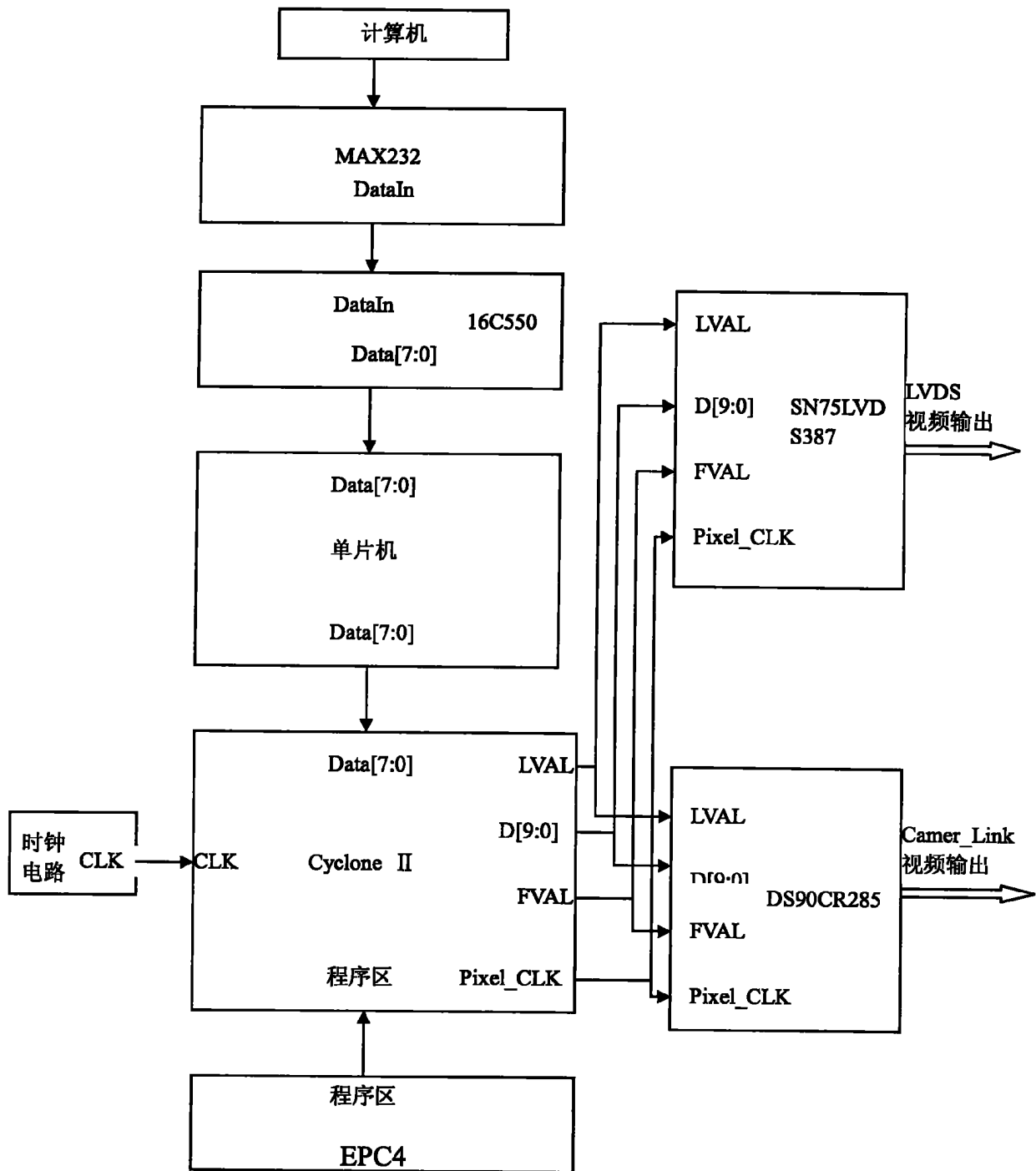


图 2

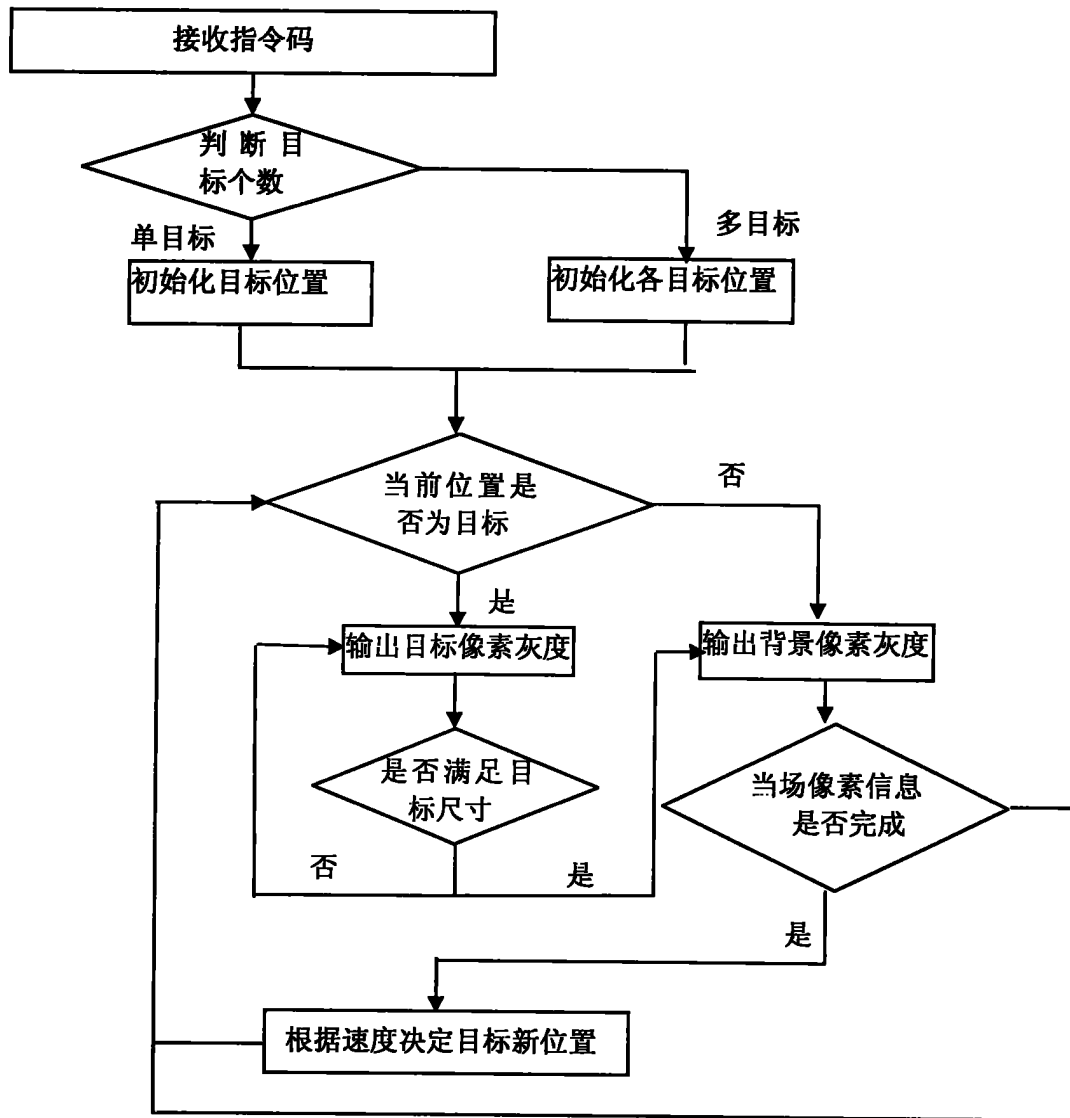


图 3