

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04N 5/217 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910066774.3

[43] 公开日 2009年9月2日

[11] 公开号 CN 101521741A

[22] 申请日 2009.4.8

[21] 申请号 200910066774.3

[71] 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 3888 号

[72] 发明人 薛旭成 郭永飞

[74] 专利代理机构 长春菁华专利商标代理事务所
代理人 赵炳仁

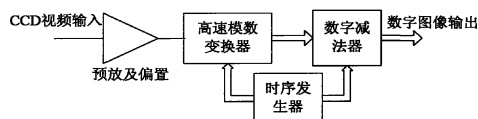
权利要求书 1 页 说明书 4 页 附图 2 页

[54] 发明名称

CCD 图像传感器的数字相关双采样电路

[57] 摘要

本发明提供一种 CCD 图像传感器的数字相关双采样电路，包括预放及偏置电路，高速模数转换电路，数字减法器电路以及时序发生器电路，CCD 输出的视频信号首先经过预放及偏置电路把信号电平调整到高速模数转换电路的输入范围内；高速模数转换电路对输入信号进行采样和模数转换，其采样点受时序发生器模块控制，分别对 CCD 视频信号的参考电平和像素电平进行采样；数字减法器对参考电平的模数转换值和像素电平的模数转换值进行减法运算，得到的差值即为最终的数字图像输出。时序发生器电路负责产生模数转换需要的采样时序和数字减法器需要的时序。采用数字减法器对模数转换后的数字信号直接进行减法处理，比目前传统技术处理精度明显提高。



1. 一种 CCD 图像传感器的数字相关双采样电路，包括预放及偏置电路、高速模数转换电路、数字减法器电路和时序发生器电路，其特征在于：CCD 输出的视频信号首先经过所述的预放及偏置电路把信号电平调整到高速模数转换器的输入范围内；然后，把调整后的信号接入高速模数转换器对输入信号进行采样和模数转换，其采样点受时序发生器模块控制，分别对 CCD 视频信号的参考电平和像素电平进行采样；转换后的数字信号连接到数字减法器，数字减法器对参考电平的模数转换值和像素电平的模数转换值进行减法运算，得到的差值即为最终的数字图像输出；时序发生器除了和模数转换连接外，还和数字减法器连接，负责产生模数转换需要的采样时序和数字减法器需要的时序。

CCD图像传感器的数字相关双采样电路

技术领域

本发明涉及CCD(电荷耦合器件)图像传感器的视频采样处理电路,尤其涉及一种CCD的数字相关双采样电路。

背景技术

CCD图像传感器已经广泛地应用到各种成像领域。它属于光电变换传感器,能把光信号变换成电荷包信号,然后CCD片上放大器对电荷包进行测量,把电荷包信号转换为电压信号。图6所示就是CCD视频信号输出电压波形。其中A为复位脉冲前馈,是无用的干扰信号。B为复位参考电平,C为像素电平,二者的差值就是该像素的亮度信息。因此,我们需要对B和C两个电平进行采样,然后对这两个电平进行相减就得到像素的亮度信息,即相关双采样技术。通过相关双采样技术可以有效地降低CCD视频信号的复位噪声和低频噪声。

传统的相关双采样技术是在模拟域中进行的,如图7所示。首先通过第一个模拟开关对复位电平进行采样,采样的信号通过电容进行保持。然后通过第二个模拟开关对像素电平进行采样,采样的信号同样通过电容进行保持。这两个保持电容上的信号接到了模拟的差分放大器的输入端进行减法运算,从而获得像素的亮度信息。最后,把差分后的信号接入到模数转换器进行模数转换来获得最终的数字图像。目前AD公司、PHILIPS公司等都生产了这样的集成电路产品,如AD公司的AD9842,PHILIPS公司的TDA8783等。这些集成电路的主要缺点是在模拟域中进行减法运算,精度不能达到最高的技术要求。此外,可供选择的型号相对较少,工作速度相对不高。

发明内容

本发明的目的是提供一种CCD图像传感器的数字相关双采样电路,以克服目前CCD图像传感器的视频采样中传统的相关双采样技术存在的上述缺点,提高其处理精确度。

本发明CCD图像传感器的数字相关双采样电路，主要包括预放及偏置电路、高速模数转换电路、数字减法器电路和时序发生器电路；CCD输出的视频信号首先经过所述的预放及偏置电路把信号电平调整到高速模数转换器的输入范围内；然后，把调整后的信号接入高速模数转换器对输入信号进行采样和模数转换，其采样点受时序发生器模块控制，分别对CCD视频信号的参考电平和像素电平进行采样；转换后的数字信号连接到数字减法器，数字减法器对参考电平的模数转换值和像素电平的模数转换值进行减法运算，得到的差值即为最终的数字图像输出；时序发生器除了和模数转换连接外，还和数字减法器连接，负责产生模数转换需要的采样时序和数字减法器需要的时序。

所述的预放及偏置电路：

由于CCD输出的视频信号具有较高的直流偏置电平，而模数转换电路又不能处理这样高的直流电平，因此要去掉该直流电平并把信号偏置到模数转换电路的输入范围内。预放电路还要提供一定的增益 $A(f)$ ，使CCD信号的动态范围和模数转换电路的动态范围相匹配。此外，预放电路还要根据CCD信号频率对带宽进行限制。设输入到预放电路的CCD信号为 v_i ，偏置电平为 v_b ，则经过预放及偏置电路后的输出信号为：

$$v_o = A(f)(v_i - v_b)$$

其中 $A(f)$ 表示增益和带宽限制。

所述的高速模数转换电路：

模数转换电路负责对CCD信号参考电平和像素电平进行采样和模数转换。由于是相关双采样，若CCD的像素时钟频率为 f_{ccd} ，则采样频率 $f_{sam} = 2f_{ccd}$ ，即是像素时钟频率的2倍。因此要选择模数变换器的最高工作频率至少是像素时钟频率的2倍。模数变换器的位数则根据CCD信号的动态范围以及应用需求来选择。

所述的数字减法器电路：

数字减法器是对CCD信号参考电平转换值 D_{ref} 和像素电平转换值 D_{pix} 进行减法运算，得到需要的数字图像 $D_{img} = D_{pix} - D_{ref}$ 。由于 D_{ref} 和 D_{pix} 是按时间顺序先后进行模数转换的，因此数字减法器电路只需对当前转换值和前一时刻转换值进行减法处理即可。

所述的时序发生器电路：

时序发生器电路用来产生相关双采样的时序和数字减法器的时序。利用上升沿对信号进行采样，则A沿对应采样参考电平，B沿对应采样像素电平。

传统的相关双采样电路在模拟域进行采样并用差分放大器进行减法处理。本发明采用数字减法器对模数转换后的数字信号直接进行减法处理。和传统的在模拟域处理不同，本发明通过先进行高速模数转换，然后在数字域进行数字减法来实现相关双采样技术。在数字域进行处理的优点是数字减法器更精确。此外可供选择的模数转换器种类较多，从而可以增加电路设计的灵活性。

附图说明

图1是本发明CCD图像传感器的数字相关双采样电路示意框图；

图2是预放及偏置电路示意图；

图3是实现数字减法器示意框图；

图4是相关双采样时序波形；

图5是FPGA实现数字减法模块和时序产生模块示意图；

图6是CCD视频信号输出电压波形；

图7是传统的相关双采样技术示意图。

具体实施方式

下面结合附图给出的实施例对本发明作进一步详细说明。

如图1所示，一种CCD图像传感器的数字相关双采样电路，主要包括预放及偏置电路、高速模数转换电路、数字减法器电路和时序发生器电路；CCD输出的视频信号首先经过所述的预放及偏置电路把信号电平调整到高速模数转换器的输入范围内；然后，把调整后的信号接入高速模数转换器对输入信号进行采样和模数转换，其采样点受时序发生器模块控制，分别对CCD视频信号的参考电平和像素电平进行采样；转换后的数字信号连接到数字减法器，数字减法器对参考电平的模数转换值和像素电平的模数转换值进行减法运算，得到的差值即为最终的数字图像输出；时序发生器除了和模数转换连接外，还和数字减法器

连接，负责产生模数转换需要的采样时序和数字减法器需要的时序。

所述预放及偏置电路采用如图所示电路加以实现，采用运算放大器进行作为核心器件，根据CCD工作速度选择具体型号，例如可以采用AD公司的高速运算放大器AD811。整个电路配置为反相放大器。CCD视频输入信号经过电阻从反相输入端输入。运算放大器的同相端作为偏置输入，通过调节偏置电压使输出信号符合模数转换输入的要求。接在反相端和输出端的电容用来限制放大电路的带宽。限制带宽可以降低噪声且防止模数转换电路的采样频谱混叠。

所述高速模数转换电路可以选择集成电路加以实现，具体型号可以根据具体应用来选择。例如可以选择TI公司的高速模数转换芯片ADS826。该转换芯片可以单电源工作，分辨率为10位，信噪比达到60dB，微分非线性误差为0.25LSB，最高转换速度可以达到60MHz。该转换芯片可以用在CCD像素时钟达到30MHz的情况下，满足目前常用CCD的速度要求。

如图3所示，所述数字减法器电路可以采用FPGA来实现，由于CCD参考电平和像素电平是按时间顺序先后进行模数转换的，因此数字减法器电路只需对当前转换值和前一时钟转换值进行减法处理即可。采用流水线延时触发器来对前一时钟采样值进行存储，然后对当前时钟和前一时钟的值进行减法运算得到最终结果。采用FPGA实现时，由于结构较简单，即可以采用原理图输入，也可以采用硬件描述语言输入。

所述时序发生器电路也采用FPGA来实现。在实现图4所示的时序脉冲时，应具有采样边沿相位调整的功能，这用FPGA也能方便地实现。时序发生器电路和数字减法器电路可以采用一片FPGA来实现。例如可以采用Xilinx公司的Spartan3系列中的XC3S50就可以实现。图5所示为FPGA内部实现时序发生器电路和数字减法器电路的细节。时序发生器电路除了产生数字减法器的时钟外，还产生模数转换的采样时钟并输出到FPGA外部。

采用上述具体的电路实施措施就可以完成 CCD 数字相关双采样电路的功能。由于在数字域进行减法处理，因此处理更精确，电路设计更方便。

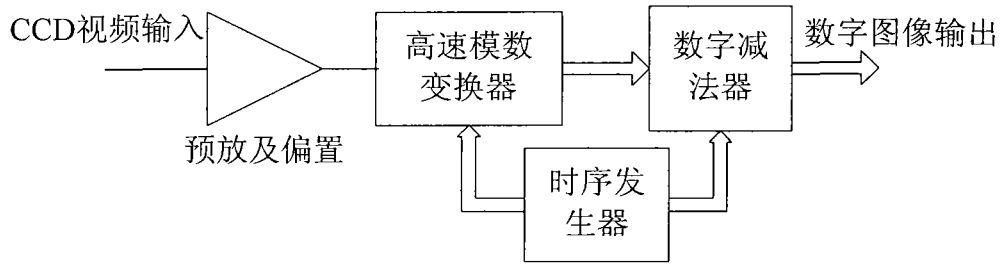


图 1

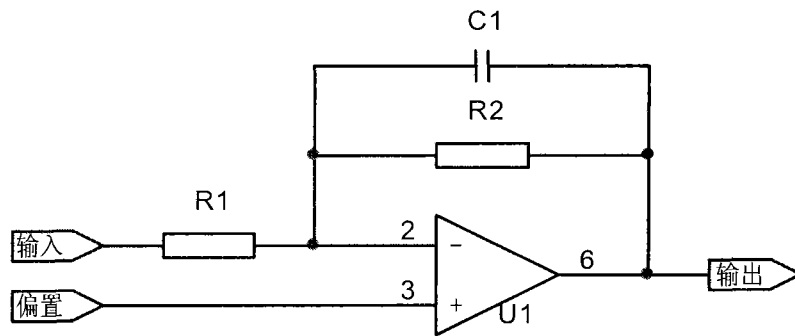


图 2

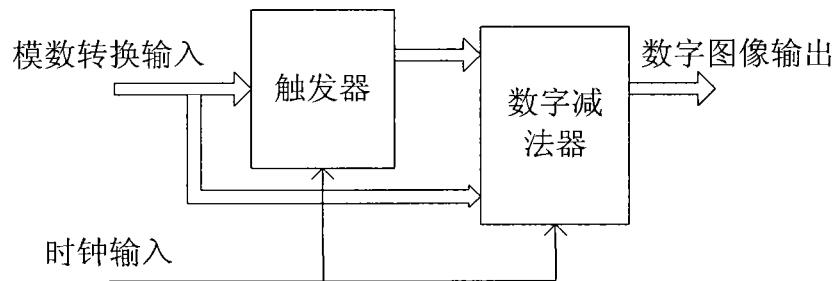


图 3

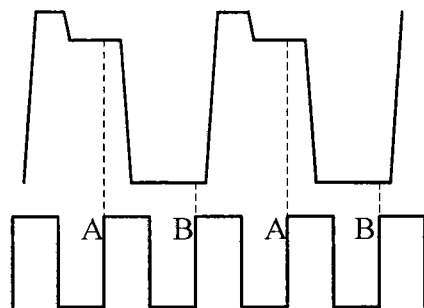


图 4

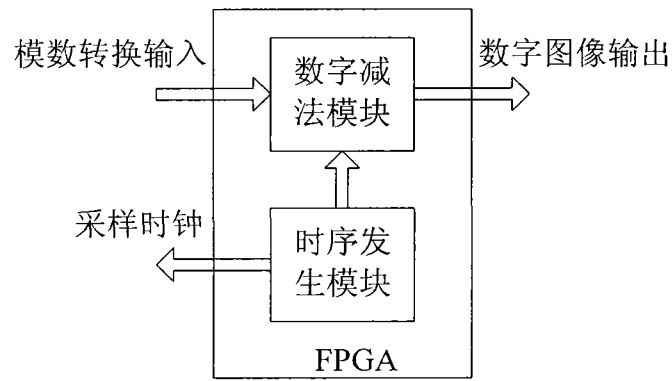


图 5

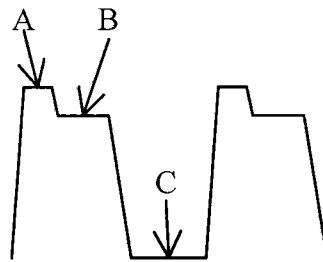


图 6

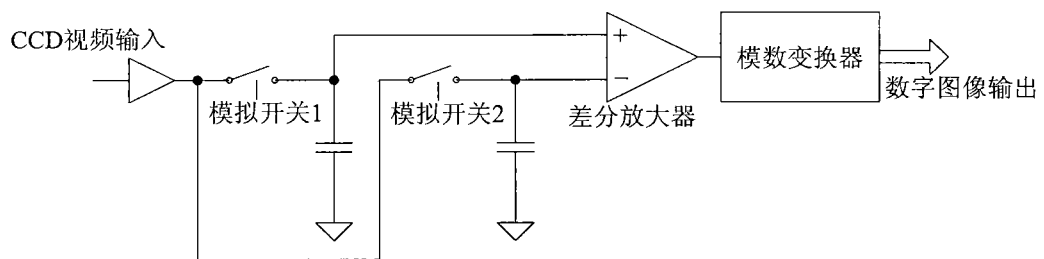


图 7