

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04N 5/225 (2006.01)
G01C 11/02 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910066595.X

[43] 公开日 2009 年 8 月 19 日

[11] 公开号 CN 101510953A

[22] 申请日 2009.3.4

[74] 专利代理机构 长春菁华专利商标代理事务所
代理人 赵炳仁

[21] 申请号 200910066595.X

[71] 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路 16 号

[72] 发明人 何 昕 余辉龙 魏仲慧 何家维
刘岩俊

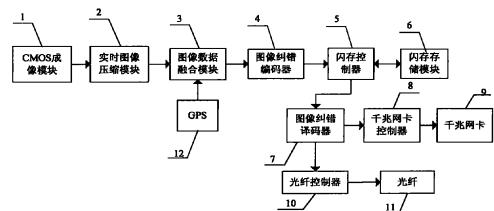
权利要求书 1 页 说明书 4 页 附图 1 页

[54] 发明名称

高性能 CMOS 一体化数字摄相机

[57] 摘要

本发明涉及空间摄相机，特别是一种高性能 CMOS 一体化数字摄相机，包括 CMOS 成像模块、闪存存储模块、光纤和千兆网卡高速数据传输，还包括实时图像压缩模块、图像数据融合模块、图像纠错编码器、闪存控制器、图像纠错译码器、千兆网卡控制和光纤控制。本摄相机通过 GPS 高精度定位/时间便于对拍摄图像数据分析，通过数据压缩节省闪存存储空间，通过图像数据纠错编译码保证存储图像的正确性，利用闪存作为存储介质存储数据提高系统的抗冲击能力，为便于该装置与上位机通讯，提供千兆网卡和光纤两种数据回放传输方式。该装置可实现持续高帧频图像实时记录，并实现纠错编码。



1. 一种高性能 CMOS 一体化数字摄相机，包括 CMOS 成像模块（1）、闪存存储模块（6）、光纤（11）和千兆网卡（9）高速数据传输，其特征在于还包括 GPS（12）、实时图像压缩模块（2）、图像数据融合模块（3）、图像纠错编码器（4）、闪存控制器（5）、图像纠错译码器（7）、千兆网卡控制（8）和光纤控制（10）；所述的实时图像压缩模块（2）的输入端与 CMOS 成像模块（1）的输出端相连接，输出端与图像数据融合模块（3）的输入端相连接；图像数据融合模块（3）的输出端与图像纠错编码器（4）的输入端相连接；图像纠错编码器（4）的输出端通过闪存控制器（5）分别与闪存存储模块（6）和图像纠错译码器（7）的输入端相连接；图像纠错译码器（7）的输出端分别通过千兆网卡控制器（8）、光纤控制（10）与千兆网（9）和光纤（11）相连接；GPS（12）与图像数据融合模块（3）的输入端相连接。

2. 根据权利要求 1 所述的高性能 CMOS 一体化数字摄相机，其特征在于所述的闪存存储模块（6）是由分别连接在数据选择模块（13）上的 10 级闪存流水线（14 至 23）组成，每级闪存流水线包括四片闪存和四片 SRAM。

高性能 CMOS 一体化数字摄相机

技术领域

本发明涉及空间摄像机，特别是一种基于高帧频 CMOS 图像传感器的数字摄相机。

背景技术

随着光电测量试验，瞬态现象科学观测与测量技术的发展，高帧频 CMOS 图像传感器被广泛应用于空间摄像机中。由于帧频和分辨率高，大量的数字信息需要实时无损记录到存储设备中，这就要求图像存储设备有很高的持续存储速度，才能避免数据丢失，为节省存储空间，对图像进行压缩，为充分了解图像拍摄情况，在图像中添加时间和编码器信息，为防止图像存储错误，对图像数据进行纠错编码译码，为方便存储图像读取，利用千兆网卡和光纤读取。

目前美国 Vision Research 公司研究的 v 系列相机，包括 CMOS 成像模块，数字图像存储模块，数字图像传输模块。CMOS 成像模块将图像经数字图像存储模块存储后，经数字图像传输模块将图像传输出去。

该 CMOS 一体化相机存在的主要问题是：高帧频时，存储时间短，不能持续记录图像数据。未进行实时图像压缩，不能提供时间码信息和相机方位信息，未进行纠错编译码，不能保证存储数据的完整性。

发明内容

本发明的目的是为克服现有技术存在的上述缺陷，提出一种高性能 CMOS 一体化数字摄像机，以实现瞬态现象的高帧频数字图像实时记录，保证存储数字图像的完整性，并提供时间码和方位信息。

本发明高性能 CMOS 一体化数字摄像机，包括 CMOS 成像模块、闪存存储模块、光纤和千兆网卡高速数据传输，其特点是还包括 GPS、实时图像压缩模块、图像数据融合模块、图像纠错编码器、闪存控制器、图像纠错译码器、千兆网卡控制和光纤控制；所述的

实时图像压缩模块的输入端与 CMOS 成像模块的输出端相连接，输出端与图像数据融合模块的输入端相连接；图像数据融合模块的输出端与图像纠错编码器的输入端相连接；图像纠错编码器的输出端通过闪存控制器分别与闪存存储模块和图像纠错译码器的输入端相连接；图像纠错译码器的输出端分别通过千兆网卡控制器、光纤控制与千兆网和光纤相连接；GPS 与图像数据融合模块的输入端相连接。

所述的闪存存储模块是由分别连接在数据选择模块上的 10 级闪存流水线组成，每级闪存流水线包括四片闪存和四片 SRAM。

本机的工作原理是：

在拍摄工作模式下，数字图像数据从 CMOS 成像模块传送到实时图像压缩模块中，图像数据融合模块将压缩完成的图像数据与 GPS 定位和时间信息融合，然后经过图像纠错编码器，在闪存控制器的控制下将图像数据写入到闪存存储阵列中。

在回放工作模式下，在闪存控制器的控制下将图像数据从闪存存储阵列中读取到图像纠错译码器中，将纠错译码完成的图像传输给光纤控制器或千兆网控制器，将图像通过光纤或千兆网卡输出。

数据擦除工作模式，在闪存控制器的控制下将闪存存储阵列擦除。

本发明高性能 CMOS 一体化数字摄像机的优点是，通过 GPS 高精度定位/时间便于对拍摄图像数据分析，通过数据压缩节省闪存存储空间，通过图像数据纠错编译码保证存储图像的正确性，利用闪存作为存储介质存储数据提高系统的抗冲击能力，为便于该装置与上位机通讯，提供千兆网卡和光纤两种数据回放传输方式。该装置可实现持续高帧频图像实时记录，并实现纠错编码。

附图说明

图 1 是本发明摄像机的组成示意框图；

图 2 是本发明摄像机中所述的闪存存储模块结构示意框图。

具体实施方式

以下结合附图给出的实施例对本发明摄像机的构成作进一步详细描述。

参照图 1，一种高性能 CMOS 一体化数字摄相机，包括 CMOS 成像模块 1、闪存存储模块 6、光纤 11 和千兆网卡 9 高速数据传输，还包括 GPS12、实时图像压缩模块 2、图像数据融合模块 3、图像纠错编码器 4、闪存控制器 5、图像纠错译码器 7、千兆网卡控制 8 和光纤控制 10；所述的实时图像压缩模块 2 的输入端与 CMOS 成像模块 1 的输出端相连接，输出端与图像数据融合模块 3 的输入端相连接；图像数据融合模块 3 的输出端与图像纠错编码器 4 的输入端相连接；图像纠错编码器 4 的输出端通过闪存控制器 5 分别与闪存存储模块 6 和图像纠错译码器 7 的输入端相连接；图像纠错译码器 7 的输出端分别通过千兆网卡控制器 8、光纤控制 10 与千兆网 9 和光纤 11 相连接；GPS12 与图像数据融合模块 3 的输入端相连接。

参照图 2，所述的闪存存储模块 6 是由分别连接在数据选择模块 13 上的 10 级闪存流水线 14 至 23 组成，每级闪存流水线包括四片闪存和四片 SRAM。

其中：

所述的 CMOS 成像模块 1 采用 LUPA300 高帧频 CMOS 图像传感器；

实时图像压缩模块 2、图像数据融合模块 3、图像纠错编码器 4、闪存控制器 5、千兆网卡控制器 8 和图像纠错译码器 7 均采用 XILINX XC4VFX60T，配置芯片采用 XCF16P；

闪存存储模块 6，采用三星公司 NAND 闪存 K9K8G08U0A；

千兆网卡 9 采用千兆网络物理层芯片；

GPS 12 采用 GPS 高精度定位/时间信息，采用 RS232 串口接口；

光纤控制器 10 采用 TLK2711A。

本发明所涉及的实时图像压缩模块，对图像数据无损压缩。无损压缩技术可以保证在不引入任何失真的情况下完全恢复原始数据。由美国空间数据系统咨询委员会提出的无损压缩算法 LDC。具有较低的算法复杂度，适合实时无损压缩，包括预处理和熵编码器，预处理器的作用是去相关，然后将其映射为适合熵编码的数据。预处理器的输入数据为 X，数据的块大小为 J：

$$X=X_1, X_2, \dots, X_J,$$

X 经过预处理器后变为 δ :

$$\delta = \delta_1, \delta_2, \dots, \delta_J,$$

自适应熵编码器将对 δ 进行编码，最后输出。实现图像数据的实时无损压缩。

本发明所涉及的图像融合模块，是将实时压缩的图像数据与 GPS 采集的时间信息和定位信息进行像素级融合，首先将 GPS 接收机数据进行预处理，得出时间和定位信息的报文数据，从中提取出与图像信息数据相一致的数据格式，将其与压缩后的图像数据按像素运算叠加到图像中，并在图像上标记图像文件。

本发明所涉及的 RS 实时纠错编译码器，RS 码用于纠多字节差错是十分有效的。通过差错定位多项式的概念提供了解决译码问题的基本工具。通过无求逆 BM 迭代方程方法计算，位置多项式和差错估值多项式。通过钱搜索确定差错位置，通过 Forney 算法确定差错值估算。通过无求逆的 BM 算法，采用脉动序列对图像数据添加纠错码，读取数据时，通过译码算法对图像数据纠错译码。通过采用 RS 双编码结构，增加编码速度。

本发明涉及的闪存阵列的闪存存储模块，每一个闪存流水线级包括四片闪存和四片 SRAM。通过 10 级流水线提高了闪存的存储容量，通过 4 片闪存并行，提高了闪存的存储速度，降低了对相机像素时钟需求。由于闪存存在无效块，遇到写入无效块时，图像数据存储错误，因此在写入闪存数据时对图像数据备份，采用 SRAM 阵列对数据进行备份，每一个闪存流水线级采用相对应的 SRAM，形成与闪存阵列相同的 SRAM 阵列，在图像数据写入闪存的同时，将数据写入 SRAM，覆盖 SRAM 中原有数据，若遇到无效块，将 SRAM 中备份数据回写到闪存中。

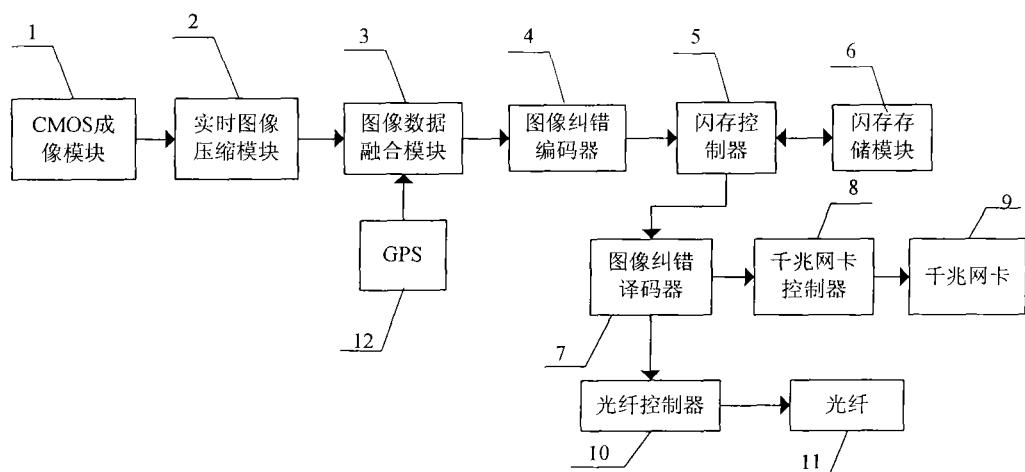


图 1

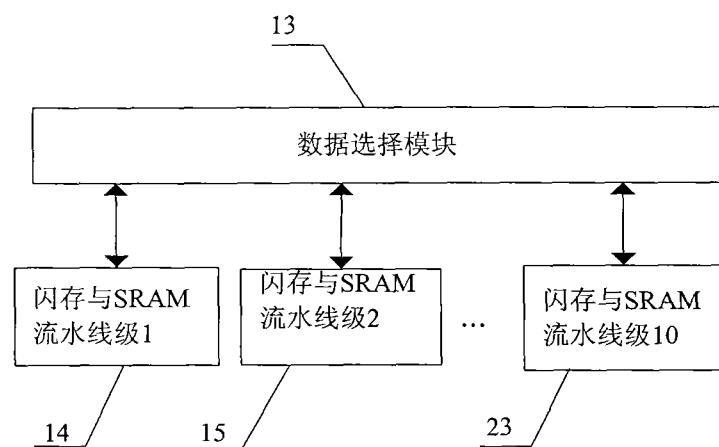


图 2