



[12] 发明专利申请公布说明书

[21] 申请号 200610016570.5

[43] 公开日 2007 年 8 月 1 日

[11] 公开号 CN 101008883A

[22] 申请日 2006.1.26

[21] 申请号 200610016570.5

[71] 申请人 中国科学院长春光学精密机械与物理研究所

地址 130031 吉林省长春市东南湖大路 16 号

[72] 发明人 魏仲慧 李敏洁 何 昕 王 军
刘岩俊[74] 专利代理机构 长春科宇专利代理有限责任公司
代理人 刘树清

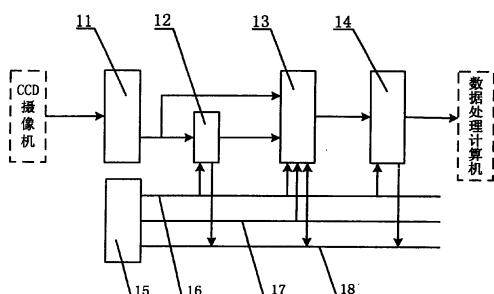
权利要求书 2 页 说明书 6 页 附图 4 页

[54] 发明名称

一种非易失性半导体大容量图像存储器

[57] 摘要

一种非易失性半导体大容量图像存储器，属于遥感测量技术领域中涉及的一种图像存储设备，本发明要解决的技术问题：提供一种非易失性半导体大容量图像存储器；解决技术问题的技术方案包括图像数据写入接口、图像数据备份模块、存储器阵列、图像数据输出模块、存储器控制器；图像数据写入接口与外部的摄像机连接，输出端分别与存储器阵列的输入端连接，也与图像数据备份模块的输入端连接，图像数据备份模块的输出端和存储器阵列的输入端连接，存储器阵列的输出端与图像数据备份模块的输入端连接，图像数据输出模块的输出端和外部的图像数据处理计算机连接；存储器控制器通过控制、地址、数据总线分别与有关部份连接，该存储器掉电后，存储的信息不丢失。



1、一种非易失性半导体大容量图像存储器，包括图像数据写入接口、控制总线、地址总线和数据总线，其特征在于还包括图像数据备份模块（12）、存储器阵列（13）、图像数据输出模块（14）、存储器控制器（15）；图像数据写入接口（11）的输入端和外部的 CCD 摄像机连接，输出端与存储器阵列（13）的输入端连接，也与图像数据备份模块（12）的输入端连接，图像数据备份模块（12）的输出端和存储器阵列（13）的输入端连接，存储器阵列（13）的输出端和图像数据输出模块（14）的输入端连接，图像数据输出模块（14）的输出端和外部的图像数据处理计算机的输入端连接；存储器控制器（15）通过控制总线（16）分别与图像数据写入接口（11）、图像数据备份模块（12）、存储器阵列（13）和图像数据输出模块（14）相连，存储器控制器（15）通过地址总线（17）分别与图像数据备份模块（12）、存储器阵列（13）相连，存储器控制器（15）通过其数据总线（18）分别与图像数据写入接口（11）、存储器阵列（13）和图像数据输出模块（14）相连。

2、按权利要求 1 所述的一种非易失性半导体大容量图像存储器，其特征在于图像数据备份模块（12）中地址缓冲器（23）的输入端和地址总线（17）相连，输出端和四个并行的静态随机存取存储器（SRAM）（21）的地址端连接，控制缓冲器（22）的输入端和控制总线（16）相连，输出端和四个并行的静态随机存取存储器 SRAM（21）的控制端连接，四个并行的静态随机存取存储器 SRAM（21）的数据端和图像数据写入接口（11）的数据输出端连接，并且也和存储器阵列（13）的数据输入端连接。

3、按权利要求 1 所述的一种非易失性半导体大容量图像存储器，其特征在于存储器阵列（13）中缓冲器（25）的输入端分别与图像数据写入接口（11）的数据端、图像数据备份模块（12）的数据端、图像数据输出模块（14）的数据端连接，输出端与八个并行的存储器子模块（24）的数据端连接，控制缓冲器（26）的输入端和控制总线（16）连接，输出端和八个存储器子模块（24）的控制端口连接；地址缓冲器（27）的输入端和地址总线（17）连接，输出端与八个并行的存储器子模块（24）的数据端连接，数据缓冲器（28）的输入端与数据总线（18）连接，输出端与八个并行的存储器子模块（24）的数据端连接，存储器阵列（13）的输出端和图像数据输出模块（14）的输入端连接。

4、按权利要求 1 所述的一种非易失性半导体大容量图像存储器，其特征在于存储器控制器（15）中，单片机（30）的数据端和现场可编程门阵列 FPGA（31）的输入/输出端连接，现场可编程门阵列 FPGA（31）的输出端与现场可编程门阵列 FPGA（32）的输入端连接，现场可编程门阵列 FPGA（31）分别和控制总线（16）、地址总线（17）、数据总线（18）相连，现场可编程门阵列 FPGA（32）分别和控制总线（16）、地址总线（17）、数据总线（18）连接。

一种非易失性半导体大容量图像存储器

(一) 技术领域

本发明属于应用于遥感测量技术领域中的一种非易失性半导体大容量图像存储设备。

(二) 背景技术

在遥感测量技术中，无论是星载还是机载遥感测量，数字高速摄像机拍摄的大量数字图像，都需要大容量的存储设备，实时快速的存储遥感测量获得的数字图像。在现代的存储设备中，半导体存储器已逐步取代了磁带机，成为遥感测量技术中存储设备的主流技术。半导体大容量存储器的存储介质主要有动态随机存取存储器（DRAM）和闪存（FLASH），然而，这方面的工作属于高科技范畴，发达国家对此都严加封锁，我们很难查到相关的技术资料。

在国内与本发明最为接近的已有技术是中国科学院长春光学精密机械与物理研究所采用动态随机存取存储器（DRAM）做为存储介质的半导体大容量图像存储器，于 2001 年申请了国防专利，专利号为：01128228.2，如图 1 所示，包括图像数据写入接口 1、图像存储体 2、控制器 3、数据传输接口 4、控制计算机接口 5、地址发生器 6、数据总线 7、地址总线 8、控制总线 9、控制计算机 10；控制计算机 10 是该半导体大容量存储器的指控中心，在其控制下，半导体大容量图像存储器完成自检、摄像和传输三种模式的工作，其存在的主要问题是：掉电后存储的信息就会丢失。

(三) 发明内容

为了克服已有技术存在的缺点，本发明的目的在于解决掉电后存储的信息不丢失的问题，采用闪存（FLASH）做为存储介质，设计了非易失性半导体大容量图像存储器。

本发明要解决的技术问题是：提供一种非易失性半导体大容量图像存储器，以实现实时快速的存储图像数据。解决技术问题的技术方案是：在存储器控制器的控制下，把 CCD 摄像机拍摄的大量图像数据经数据写入接口，实时存储在存储器阵列中，事后，存储器控制器产生一定的时序，将存储在存储器阵列中的图像数据经数据输出模块，传输给图像数据处理计算机进行图像数据的处理和分析。

本发明的详细内容如图 2、图 3、图 4、图 5、图 6 和图 7 所示，包括图像数据写入接口 11、图像数据备份模块 12、存储器阵列 13、图像数据输出模块 14、存储器控制器 15、控制总线 16、地址总线 17 和数据总线 18，其中图像数据写入接口 11 如图 3 所示，包括 Camera Link 接口芯片 19、四个并行组合的缓存器 20；图像数据备份模块 12 如图 4 所示，包括四个并行组合的静态随机存取存储器（SRAM） 21 和控制缓冲器 22、地址缓冲器 23；存储器阵列 13 如图 5 所示，包括缓冲器 25、控制缓冲器 26、地址缓冲器 27、数据缓冲器 28 和八个存储器子模块 24，这八个存储器子模块 24 构成八级流水线；每一个存储器子模块 24 如图 6 所示，包括四片闪存芯片 29；在图像数据输出模块 14 中采用通用串行总线（USB）接口，将图像数据传输给图像数据处理计算机；存储器控制器 15 如图 7 所示，包括单片机 30 和现场可编程门阵列（FPGA）31、32，是系统的控制中枢，产生系统工作所需要的全部时序。

图像数据写入接口 11 的输入端和外部的 CCD 摄像机连接，输出端与存

储器阵列 13 的输入端连接，将图像数据存储至存储器阵列 13 中，也与图像数据备份模块 12 的输入端连接，将图像数据备份到图像数据备份模块 12 中；图像数据备份模块 12 的输出端和存储器阵列 13 的输入端连接，将备份的图像数据存储到存储器阵列 13 中，存储器阵列 13 的输入端接受图像数据写入接口 11 的图像数据或者是图像数据备份模块 12 的备份的图像数据，存储器阵列 13 的输出端和图像数据输出模块 14 的输入端连接，将存储在存储器阵列 13 中的图像数据输入到图像数据输出模块 14 中去，图像数据输出模块 14 的输出端和外部的图像数据处理计算机的输入端连接，将图像数据传送至图像数据处理计算机进行图像数据的处理和分析；存储器控制器 15 通过控制总线 16 分别与图像数据写入接口 11、图像数据备份模块 12、存储器阵列 13 和图像数据输出模块 14 相连，存储器控制器 15 通过地址总线 17 分别与图像数据备份模块 12、存储器阵列 13 相连，存储器控制器 15 通过其数据总线 18 分别与图像数据写入接口 11、存储器阵列 13 和图像数据输出模块 14 相连。

图像数据写入接口 11 如图 3 所示，其中 Camera Link 接口芯片 19 的输入端和外部 CCD 摄像机连接，输出端和四个并行的缓冲器 20 的输入端连接，四个并行的缓冲器 20 的输出端分别与图像数据备份模块 12 和存储器阵列 13 连接，控制总线 16 分别与四个并行的缓冲器 20 连接。

图像数据备份模块 12，如图 4 所示，其中地址缓冲器 23 的输入端和地址总线 17 相连，输出端和四个并行的静态随机存取存储器（SRAM）21 的地址端连接，将地址总线 17 上的地址信息输送到四个并行的静态随机存取存储器（SRAM）21 的地址端口；控制缓冲器 22 的输入端和控制总线 16 相连，输出端和四个并行的静态随机存取存储器（SRAM）21 的控制端连接，将控制

总线 16 上的控制信息输送到四个并行的静态随机存取存储器（SRAM）21 的控制端；四个并行的静态随机存取存储器（SRAM）21 的数据端和图像数据写入接口 11 的数据输出端连接，并且也和存储器阵列 13 的数据输入端连接，将图像数据进行备份和将备份的图像数据存入存储器阵列 13 中。

存储器阵列 13 如图 5 所示，其中缓冲器 25 的输入端分别与图像数据写入接口 11 的数据端、图像数据备份模块 12 的数据端连接，输出端与八存储器子模块 24 的数据端连接，是图像数据写入接口 11、图像数据备份模块 12 和存储器子模块 24 的数据通道，控制缓冲器 26 的输入端和控制总线 16 连接，输出端和八个存储器子模块 24 的控制端口连接；地址缓冲器 27 的输入端和地址总线 17 连接，输出端与八个存储器子模块 24 的数据端连接，数据缓冲器 28 的输入端与数据总线 18 连接，输出端与八个存储器子模块 24 的数据端连接，存储器控制器 15 和存储器阵列 13 可以通过数据缓冲器 28 进行状态和命令等信息的交换；存储器阵列 13 的输出端和图像数据输出模块 14 的输入端连接，将存储在存储器阵列 13 中的图像数据传输到图像数据输出模块 14 中。

存储器子模块 24 中如图 6 所示，包括四个并行的闪存芯片 29，存储器子模块 24 的数据端分别和地址缓冲器 27 的输出端、数据缓冲器 28 的输出端、缓冲器 25 的输出端、图像数据输出模块 14 的输入端连接，图像数据输出模块 14 的控制端和控制缓冲器的输出端连接。

存储器控制器 15 如图 7 所示，单片机 30 的数据端和现场可编程门阵列（FPGA）31 的输入/输出端连接，现场可编程门阵列（FPGA）31 的输出端与现场可编程门阵列（FPGA）32 的输入端连接。

现场可编程门阵列（FPGA）31 分别和控制总线 16、地址总线 17、数据

总线 18 相连，发送图像数据写入接口 11 的控制信号，并通过数据总线 18 接受图像数据写入接口 11 的状态信号；发送图像数据备份子模块 12 的控制信号和地址信号；现场可编程门阵列（FPGA）32 分别和控制总线 16、地址总线 17、数据总线 18 连接，发送存储器阵列 13 的控制信号、地址信号和命令信号，并通过数据总线 18 接受存储器阵列 13 的状态信号；发送图像数据输出模块 14 的控制信号，并通过数据总线 18 接受图像数据输出模块 14 的状态信号。

工作原理说明：

在存储器控制器 15 控制下，完成图像数据的缓存、备份、存储和输出，并读取存储器的状态，对其工作进行监控。在存储器控制器 15 的控制下，将图像数据按照一定的顺序缓存至图像数据写入接口 11，在读取图像数据写入接口 11 中缓存器 20 内的数据的同时，将图像数据分别写入图像数据备份模块 12 和存储器阵列 13 中。如果在存储图像数据时发现错误，需要将出错对应的数据进行重新编程，这须将图像数据备份模块 12 中的数据写入存储器阵列。事后，存储器控制器 15 产生一定的时序信号，把存储器阵列 13 的图像数据读出，并通过图像数据输出模块 14 传给图像数据处理计算机，进行图像的恢复、显示和处理。

积极效果：

非易失性半导体大容量图像存储器最大的优点是掉电后存储的信息不丢失，还具有功耗低、可靠性高、体积小、重量轻、较好的性价比等优点，由于采用了通用串行总线（USB）接口，安装方便，为航天、航空领域的图像数据存储设备提供了新的解决方案。

(四) 附图说明

图 1 是已有技术的结构框图, 图 2 是本发明的结构框图, 图 3 是图像数据写入接口 11 的结构框图, 图 4 是图像数据备份模块 12 的结构框图, 图 5 是存储器阵列 13 的结构框图, 图 6 是存储器子模块 24 的结构框图, 图 7 是存储器控制器 15 的结构框图。

(五) 具体实施方式

本发明按图 2 所示的结构实施, 其中图像数据写入接口 11 中的 Camera Link 接口芯片 19 选用 DS90CR286, 缓存器 20 选用先进先出存储器 (FIFO) IDT7205。

图像数据备份模块 12 中的四个并行的静态随机存取存储器 (SRAM) 21 选用 IDT71256, 用来进行数据备份; 控制缓冲器 22 和地址缓冲器 23 选用 74HC244。

存储器子模块 24 中的闪存芯片 29 选用 K9F1G08U0A, 整个存储空间由 32 个这样的芯片组成; 缓冲器 25 选用 74LVC244, 数据缓冲器 28 选用 74LVC245, 控制缓冲器 26 和地址缓冲器 27 选用 74LVC244。

存储器控制器 15 中的单片机 30 选用 AT89C51, 现场可编程门阵列 (FPGA) 31 和 32 选用 XC2S200。

数据输出模块 14 主要由通用串行总线 (USB) 2.0、接口芯片 CY7C68013 组成。

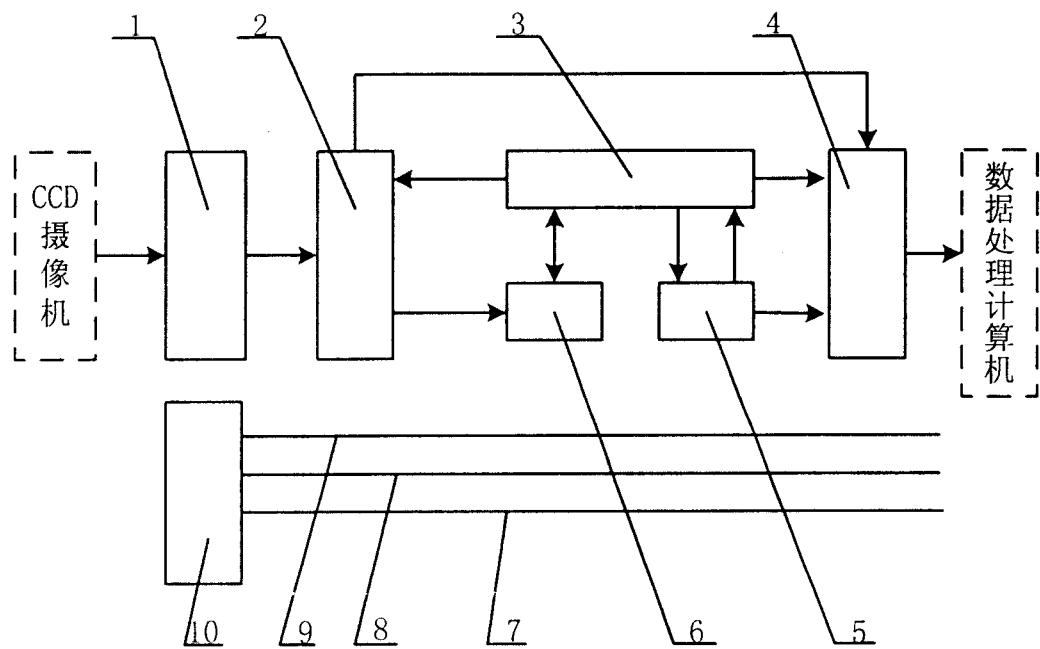


图 1

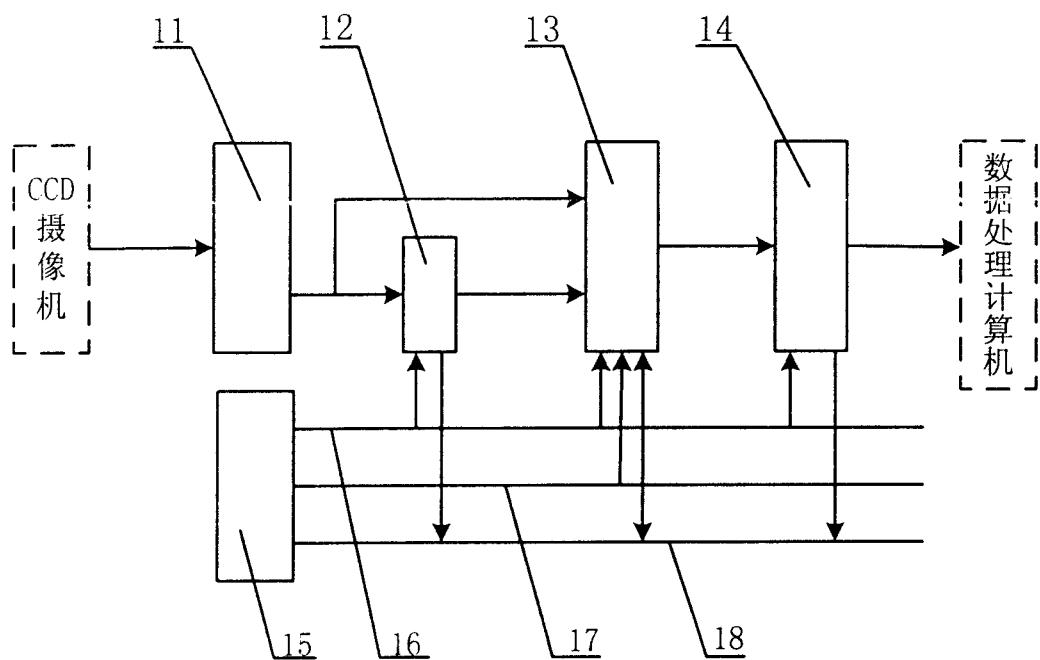


图 2

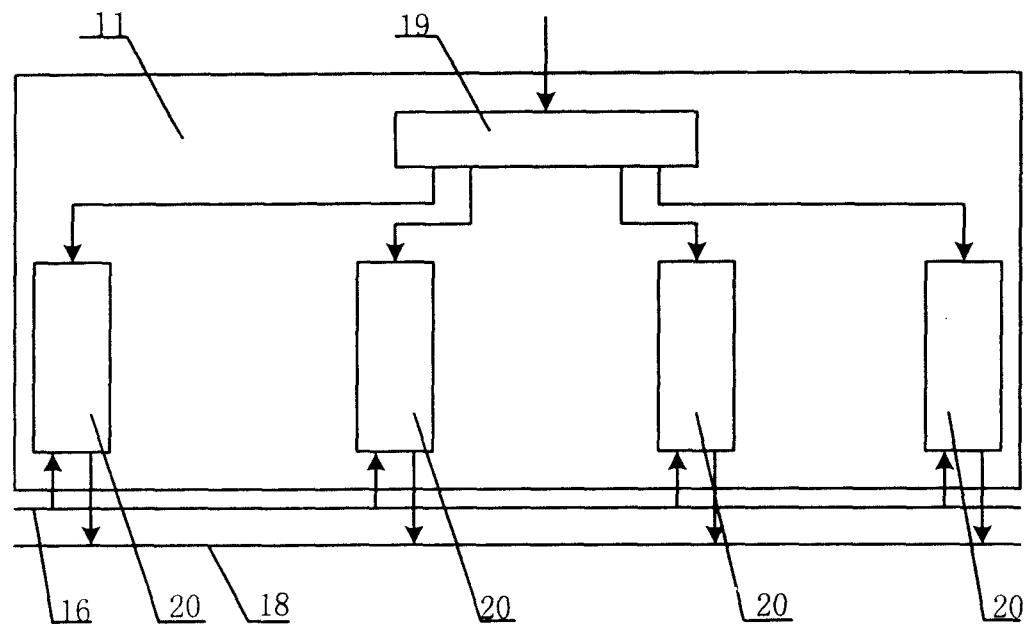


图 3

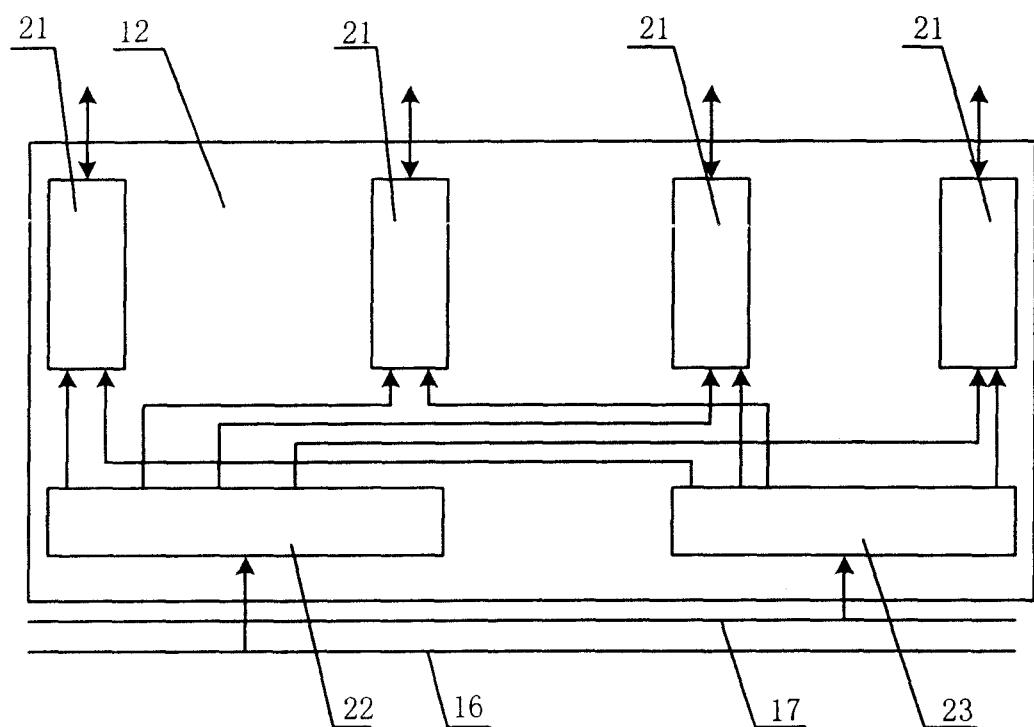


图 4

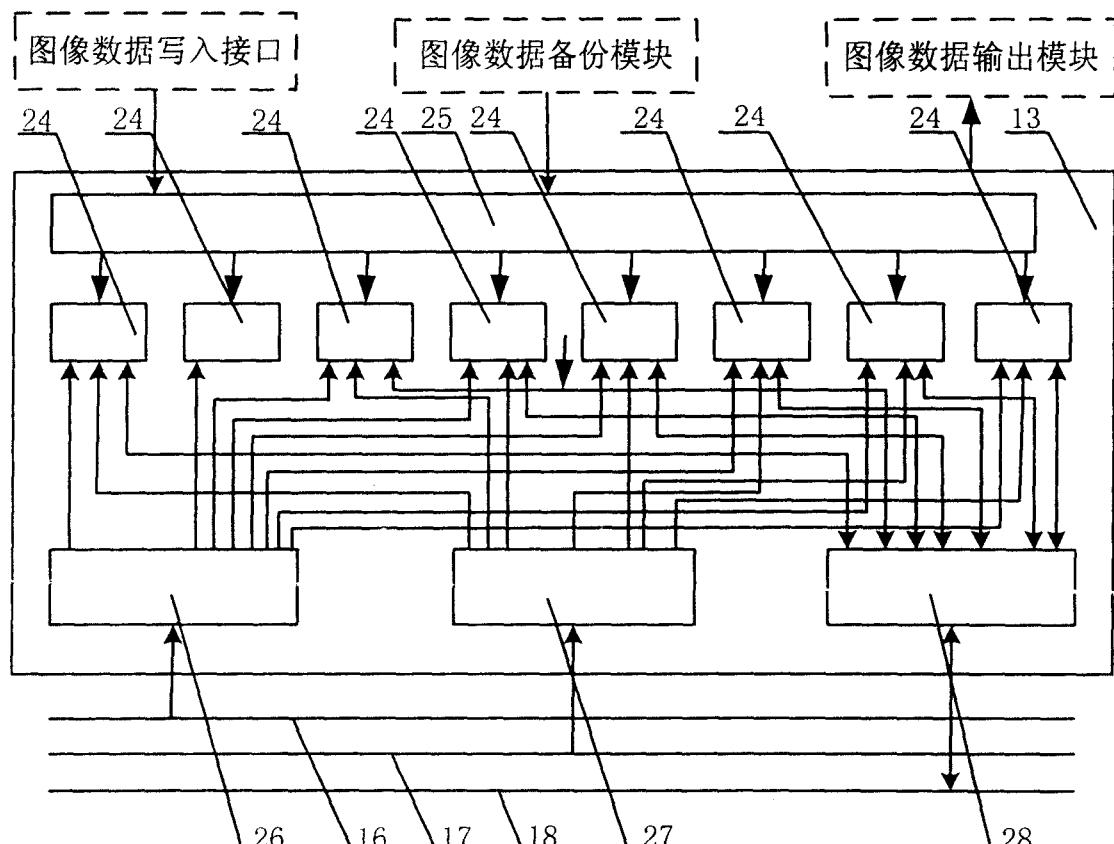


图 5

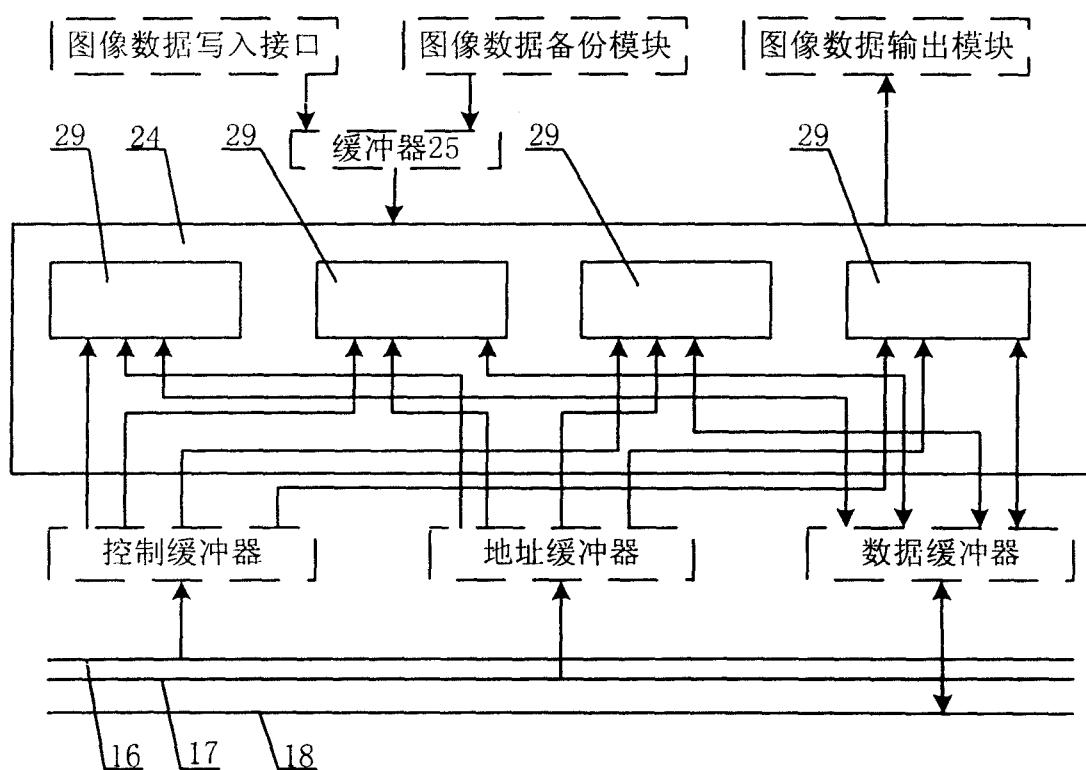


图 6

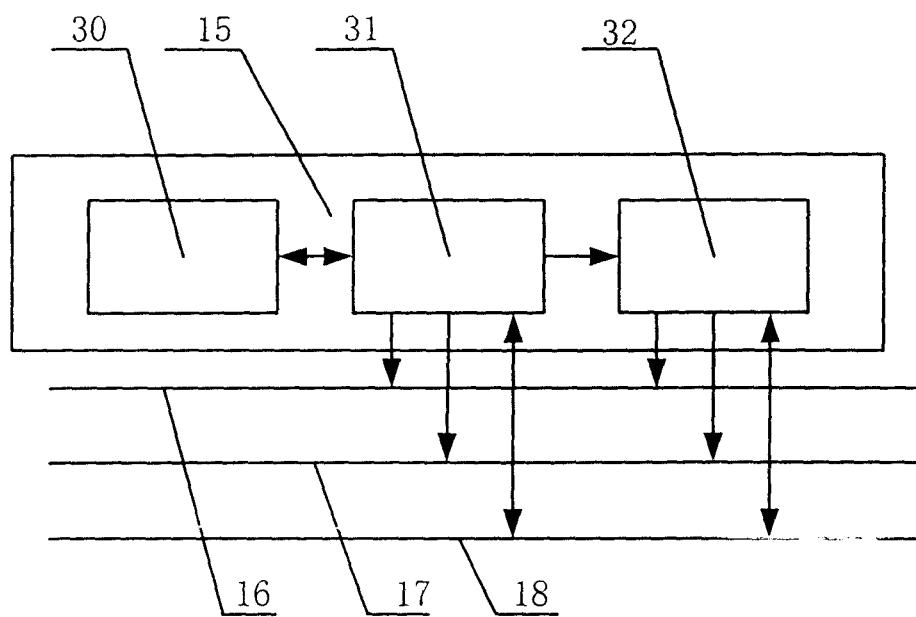


图 7