



# [12] 发明专利申请公布说明书

[21] 申请号 200610016515.6

[43] 公开日 2007年7月18日

[11] 公开号 CN 101000494A

[22] 申请日 2006.1.12  
 [21] 申请号 200610016515.6  
 [71] 申请人 中国科学院长春光学精密机械与物理研究所  
 地址 130031 吉林省长春市东南湖大路16号  
 [72] 发明人 刘廷霞 王伟国 姜润强

[74] 专利代理机构 长春科宇专利代理有限责任公司  
 代理人 李恩庆

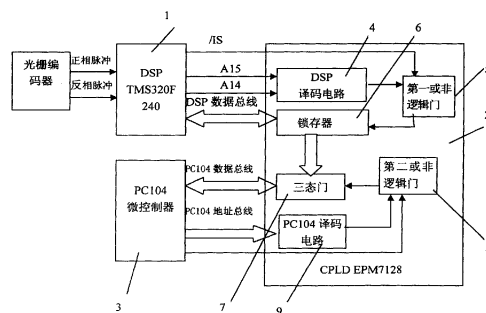
权利要求书1页 说明书2页 附图1页

## [54] 发明名称

光栅编码器反馈信号计数电路

## [57] 摘要

一种属于伺服控制技术领域的光栅编码器反馈信号计数电路，包括数字信号处理器，可编程逻辑器件，微控制器。数字信号处理器内计数器对光栅编码器输出的脉冲进行计数；通过可编程逻辑器件内部电路的控制，数字信号处理器将计数值传输给微控制器。本发明利用数字信号处理器对光栅编码器进行计数，计数精度高，对于分辨率为纳米级的光栅编码器，只有1~2个码值的误差，主要用于伺服系统的高精度控制。



1、一种光栅编码器反馈信号计数电路，其特征在于包括数字信号处理器(1)，可编程逻辑器件(2)，微控制器(3)；所述可编程逻辑器件(2)内部结构包括DSP译码电路(4)，第一或非逻辑门(5)，锁存器(6)，三态门(7)，第二或非逻辑门(8)，微控制器译码电路(9)；数字信号处理器(1)的捕获单元与光栅编码器的正、反相脉冲输出端相连；数字信号处理器(1)的地址线、读写信号线、数据总线分别与DSP译码电路(4)、第一或非逻辑门(5)、锁存器(6)相连；DSP译码电路(4)与第一或非逻辑门(5)相连，第一或非逻辑门(5)输出端与锁存器(6)相连；微控制器(3)数据总线、读写信号线、地址总线分别与三态门(7)、第二或非逻辑门(8)、微控制器译码电路(9)相连，锁存器(6)与三态门(7)相连，微控制器译码电路(9)与第二或非逻辑门(8)相连，第二或非逻辑门(8)输出端与三态门(7)相连。

2、根据权利要求1所述的光栅编码器反馈信号计数电路，其特征在于数字信号处理器(1)采用型号为TMS320F240，可编程逻辑器件(2)选用ALTERA公司的EPM7128，微控制器(3)选用PC104计算机。

3、根据权利要求2所述的光栅编码器反馈信号计数电路，其特征在于光栅编码器的正、反相脉冲输出端与TMS320F240数字信号处理器的QEP1和QEP2相连；TMS320F240数字信号处理器的16位数据总线分配到锁存器上，高2位地址总线A14，A15分配到DSP译码电路上，TMS320F240数字信号处理器的读写信号/IS与第一或非逻辑门输入端相连；PC104计算机的16位数据线分配到三态门上，8位地址线分配到PC104译码电路上，PC104计算机的读取信号/SIOR、PC104译码电路输出端与第二或非逻辑门输入端相连。

## 光栅编码器反馈信号计数电路

### 技术领域

本发明属于伺服控制技术领域，涉及一种位置和速度反馈元件的计数及读取电路。

### 背景技术

在高精度伺服控制系统中，通常要采用分辨率为纳米级的光栅编码器作为位置及速度反馈元件，而对于分辨率为纳米级的光栅编码器，利用 D 触发器和计数器组成的辩向计数电路很难实现对光栅的精确计数，即使最好的辩向计数电路，在静止时也有 100 多个码值的误差。

### 发明内容

本发明目的是提供一种光栅编码器反馈信号计数电路，利用数字信号处理器实现对高分辨率光栅编码器反馈信号的精确计数。

本发明包括数字信号处理器 1，可编程逻辑器件 2，微控制器 3。所述可编程逻辑器件 2 内部结构包括 DSP 译码电路 4，第一或非逻辑门 5，锁存器 6，三态门 7，第二或非逻辑门 8，微控制器译码电路 9；数字信号处理器 1 的捕获单元与光栅编码器的正、反相脉冲输出端相连，对光栅编码器输出的脉冲进行计数；数字信号处理器 1 的地址线、读写信号线、数据总线分别与 DSP 译码电路 4、第一或非逻辑门 5、锁存器 6 相连；DSP 译码电路 4 与第一或非逻辑门 5 相连，第一或非逻辑门 5 输出端与锁存器 6 相连；DSP 译码电路 4 进行地址译码，根据译码地址和读写信号，第一或非逻辑门 5 输出逻辑控制信号，控制数字信号处理器 1 将计数值送到数据总线上，同时存到锁存器 6 中。微控制器 3 数据总线、读写信号线、地址总线分别与三态门 7、第二或非逻辑门 8、微控制器译码电路 9 相连，锁存器 6 与三态门 7 相连，微控制器译码电路 9 与第二或非逻辑门 8 相连，第二或非逻辑门 8 输出端与三态门 7 相连；微控制器译码电路 9 进行地址译码，

根据译码地址和读写信号，第二或非逻辑门 8 输出逻辑控制信号打开三态门 7，锁存器 6 里的计数值读入微控制器 3。

有益效果：本发明利用数字信号处理器 1 对光栅编码器进行计数，计数精度高，对于分辨率为纳米级的光栅编码器，只有 1~2 个码值的误差。本发明主要用于伺服系统的高精度控制。

### 附图说明

图 1 为本发明结构示意图，也是摘要附图。图中 1 为数字信号处理器，2 可编程逻辑器件，3 微控制器，4 为 DSP 译码电路，5 第一或非逻辑门，6 锁存器，7 三态门，8 第二或非逻辑门，9 微控制器译码电路。

### 具体实施方式

本发明数字信号处理器 1 采用型号为 TMS320F240，可编程逻辑器件 2 选用 ALTERA 公司的 EPM7128，微控制器 3 选用 PC104 计算机。

光栅编码器的正、反相脉冲输出端与 TMS320F240 数字信号处理器 1 的 QEP1 和 QEP2 相连，TMS320F240 数字信号处理器 1 的 16 位数据总线分配到锁存器 6 上，高 2 位地址总线 A14，A15 分配到 DSP 译码电路 4 上，TMS320F240 数字信号处理器 1 的读写信号/IS 和 DSP 译码电路 4 输出端与第一或非逻辑门 5 输入端相连，第一或非逻辑门 5 输出端与锁存器 6 相连；PC104 计算机的 16 位数据线分配到三态门 7 上，8 位地址线分配到 PC104 译码电路上，PC104 计算机的读取信号/SIOR、PC104 译码电路输出端与第二或非逻辑门 8 输入端相连。

本发明的过程：光栅编码器的正、反相脉冲信号输入到 TMS320F240 数字信号处理器的 QEP1 和 QEP2，数字信号处理器内部有辩向电路和计数器，当编码器正转时计数器的计数值递加，当编码器反转时计数器的计数值递减。通过 DSP 译码电路 4 进行地址译码，并通过 I/O 读写信号/IS，数字信号处理器按 800Hz 的周期把计数器的计数值送到 DSP 数据总线上，同时存到锁存器里；通过 PC104 译码电路进行地址译码，并通过 PC104 的读取信号/SIOR，按 800Hz 的周期把锁存器里的计数值读入 PC104。

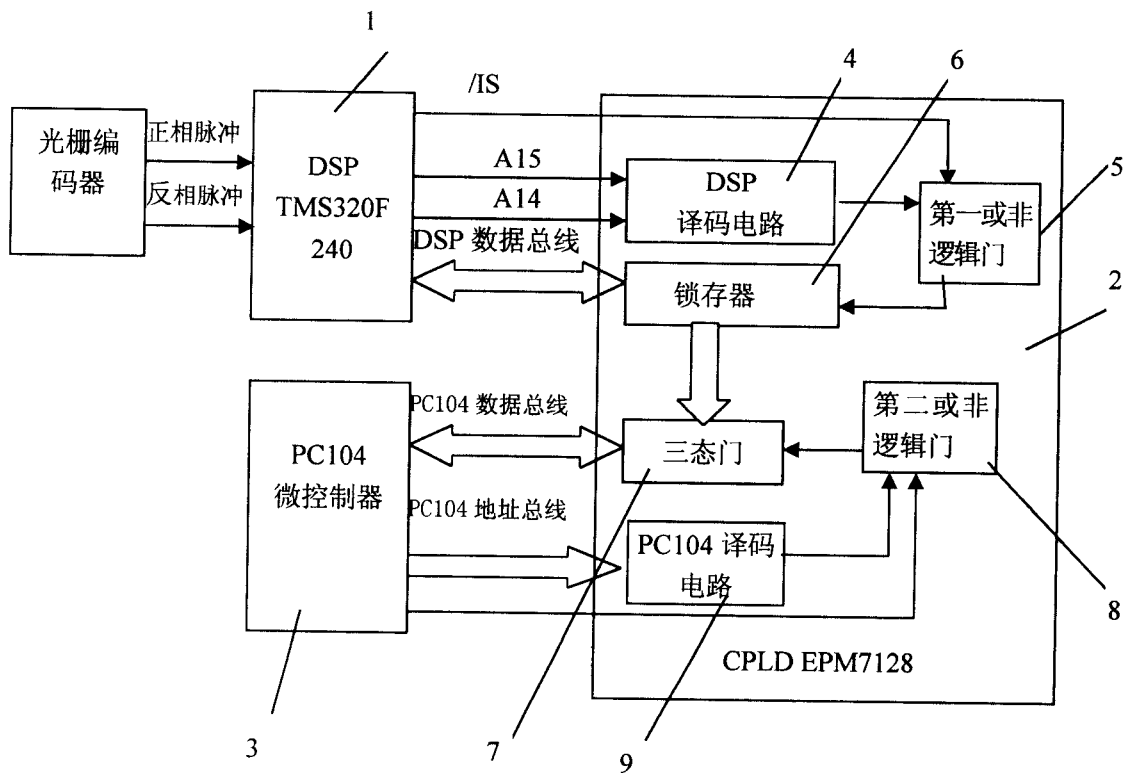


图 1