

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610016904.9

[51] Int. Cl.

G01D 5/26 (2006.01)

G01D 5/12 (2006.01)

[43] 公开日 2007 年 12 月 5 日

[11] 公开号 CN 101082508A

[22] 申请日 2006.6.2

[21] 申请号 200610016904.9

[71] 申请人 中国科学院长春光学精密机械与物理研究所

地址 130031 吉林省长春市东南湖大路 16 号

[72] 发明人 李葆勇 万秋华

[74] 专利代理机构 长春菁华专利商标代理事务所
代理人 赵炳仁

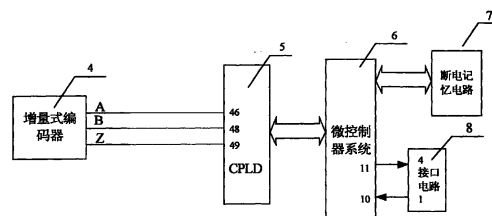
权利要求书 1 页 说明书 2 页 附图 2 页

[54] 发明名称

一种准绝对式光电轴角编码器处理电路

[57] 摘要

一种准绝对式光电轴角编码器处理电路，属于光电测量技术领域涉及的一种编码器数据处理电路。要解决的技术问题是：提供一种准绝对式光电轴角编码器处理电路。技术方案包括增量式编码器、大规模可编程逻辑阵列、微控制器系统、断电记忆电路、接口电路。增量式编码器的两路信号 A 和 B 送入大规模可编程逻辑阵列进行倍频及计数，大规模可编程逻辑阵列的输出端与微控制器系统的输入端联接，微控制器系统的输出/输入端分别与断电记忆电路和接口电路的输入/输出端联接；大规模可编程逻辑阵列的计数数值由微控制器读入，进行运算处理后通过接口电路输出编码器角位置值。该电路掉电后再通电工作时计数脉冲数不丢失。



1. 一种准绝对式光电轴角编码器处理电路，包括增量式编码器、接口电路；其特征在于还包括大规模可编程逻辑阵列CPLD（5），微控制器系统（6），断电记忆电路（7）；增量式编码器（4）的输出端与大规模可编程逻辑阵列CPLD（5）的输入端联接，增量式编码器（4）的互差1/4周期的两路信号A和B送入大规模可编程逻辑阵列CPLD（5）的46、48脚进行倍频及计数，大规模可编程逻辑阵列CPLD（5）的输出端与微控制器系统（6）的输入端联接，微控制器系统的输出/输入端分别与断电记忆电路（7）和接口电路（8）的输入/输出端联接；大规模可编程逻辑阵列CPLD（5）的计数数值由微控制器（6）读入，进行运算处理后通过其11脚送入接口电路（8）的4脚，输出编码器角位置值。

一种准绝对式光电轴角编码器处理电路

一. 技术领域

本发明属于光电测量技术领域中所涉及的一种编码器数据处理电路。

二. 背景技术

光电轴角编码器是集光、机、电技术于一体的数字化测角传感器，分为增量式编码器和绝对式编码器。增量式编码器用光信号扫描分度盘，分度盘与转动轴相联，当有光通过一个预先设定的角度时，就会输出一个脉冲信号，通过统计脉冲信号的数量来计算编码器旋转角度。因此增量式编码器输出的角位置数据是相对的。由于采用相对编码，掉电后之前旋转的角度数据会丢失，为了获得绝对位置，增量式编码器在开机后须执行过参考点动作。

对于仅装备了增量式编码器的机床，开机后必须对每个轴执行过参考点动作。与正常开机后执行过参考点动作所不同的是，机床的刀具此时通常还处于加工位置，与工件有直接接触，有时甚至还处于工件的内部，如钻孔，攻螺纹等。为了安全地进行过参考点动作，必须首先手动将刀具移出加工位置。这对刀具的指向有可能还与X、Y、Z轴成一定角度的多轴机床来说尤其困难，往往要耗费大量的时间和人力。

与本发明最为接近的已有技术，是中国科学院长春光学精密机械与物理研究所设计的增量式编码器处理电路。如图1所示，包括：增量式编码器1，计数电路2，接口电路3。增量式编码器1的输出端与计数电路2的输入端联接，计数电路2的输出端与接口电路3的输入端联接。当有光通过一个预先设定的角度时，增量式编码器1就输出一个脉冲信号给计数电路2，计数电路2通过统计脉冲信号的数量来计算编码器旋转角度，再输送给接口电路3。

该增量式编码器处理电路掉电后所计数的脉冲数即丢失，再次通电工作须执行过参考点动作，费时费力，浪费资源。

三. 发明内容

为了克服已有技术的缺陷，本发明的目的在于解决掉电后再通电工作时

计数脉冲数不丢失的问题。

本发明要解决的技术问题是：提供一种准绝对式光电轴角编码器处理电路。解决技术问题的技术方案如图2所示，包括增量式编码器4，大规模可编程逻辑阵列CPLD 5，微控制器系统6，断电记忆电路7，接口电路8。

增量式编码器4的输出端与大规模可编程逻辑阵列CPLD 5的输入端联接，增量式编码器4的互差1/4周期的两路信号A和B送入大规模可编程逻辑阵列CPLD 5的46、48脚进行倍频及计数，大规模可编程逻辑阵列CPLD 5的输出端与微控制器系统6的输入端联接，微控制器系统的输出/输入端分别与断电记忆电路7和接口电路8的输入/输出端联接；大规模可编程逻辑阵列CPLD 5的计数数值由微控制器6读入，进行运算处理后通过其11脚送入接口电路8的4脚，输出编码器角位置值。系统在断电时将当前信息存入断电记忆电路7的非易失性存储器中，当再次上电时，微控制器6读取断电记忆电路8中的非易失性存储器的断电信息，经过运算处理，输出断电前的编码器角位置信息，实现断电记忆功能。

本发明的积极效果：该电路具备开机后记忆上次断电时编码器记录的角位置功能，无须做过参考点动作，与绝对式编码器相当，同时还具备增量式编码器价格低廉的优点。

四. 附图说明

图1是已有技术电路的结构系统方框示意图，

图2是本发明电路的结构系统方框示意图，

图3是本发明电路的结构示意图。

五. 具体实施方式

本发明电路按图2、图3所示的电路实施，其中增量式编码器4采用ZG66-2000，大规模可编程逻辑阵列CPLD 5采用EPM7128，微控制器6采用AT89S51，断电记忆电路7采用X24C44非易失性存储器，接口电路8采用75LBC184。增量式编码器4的1、2脚分别与大规模可编程逻辑阵列CPLD 5的46、48脚联接，微控制器6的11脚与接口电路8的4脚联接，微控制器6的2、3脚分别与断电记忆电路7的2、1脚联接。

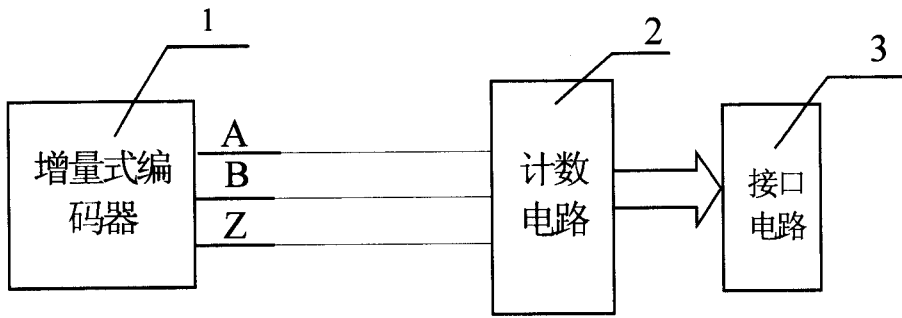


图 1

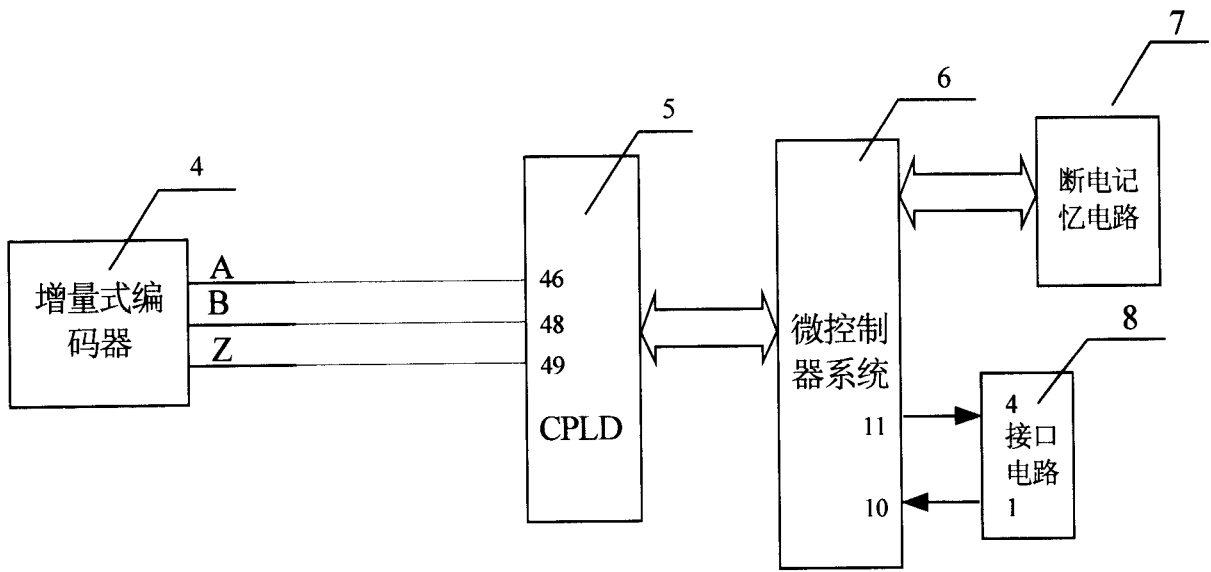


图 2

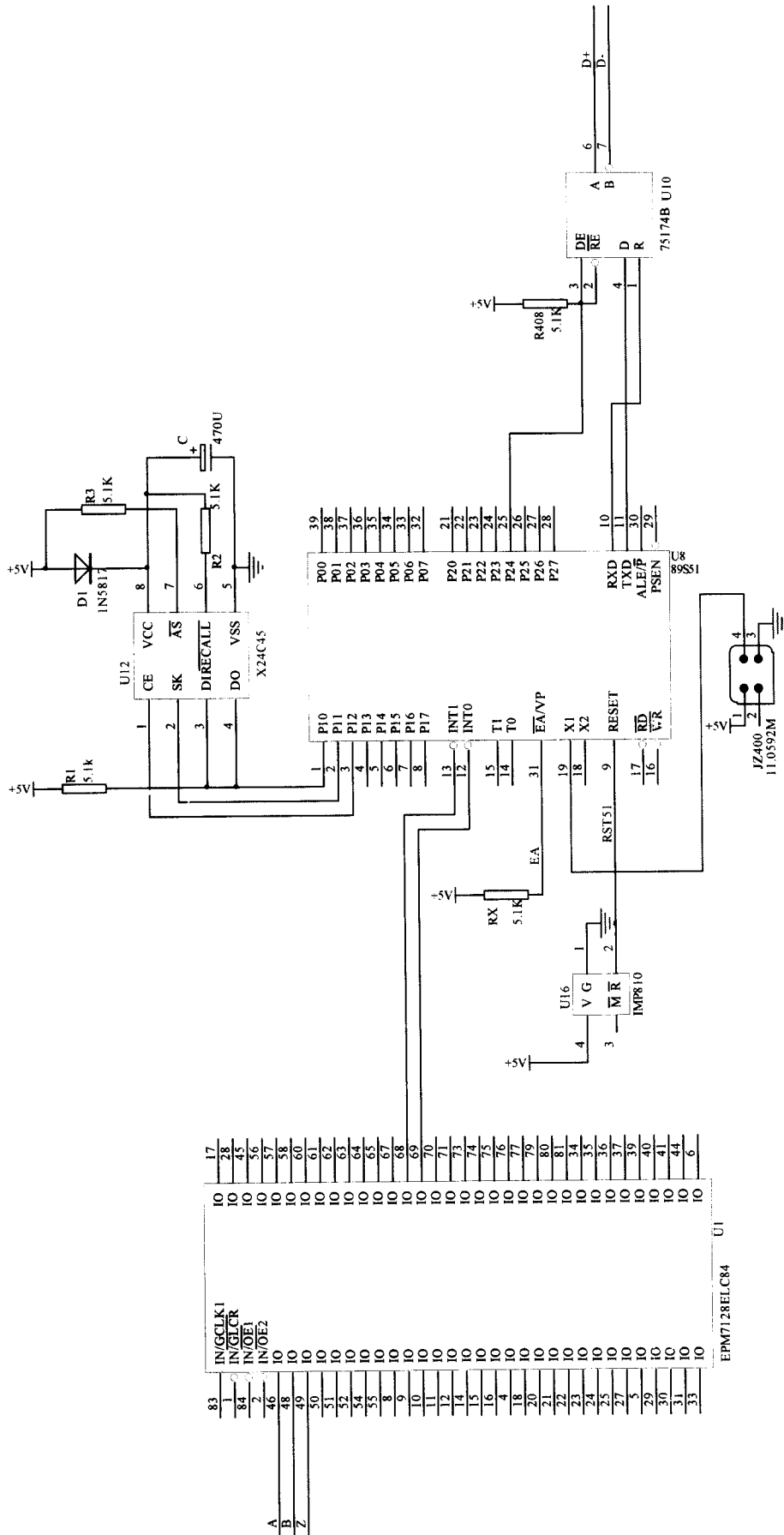


图 3